



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaru KIDOH

GAU:

SERIAL NO: 10/806,399

EXAMINER:

FILED: March 23, 2004

FOR: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-002230	January 7, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

03,81454
10/806,399

日 本 国 特 許 庁
JAPAN PATENT OFFICE

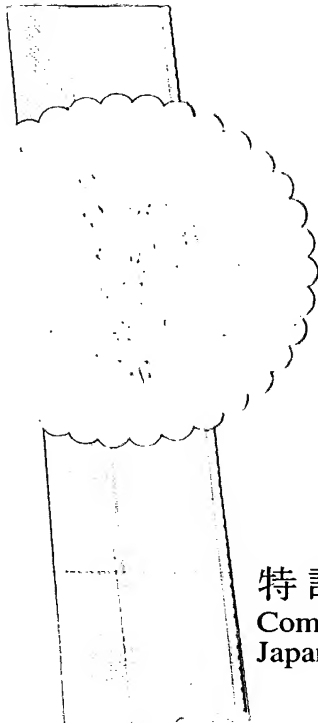
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 0 2 2 3 0
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 0 2 2 3 0]

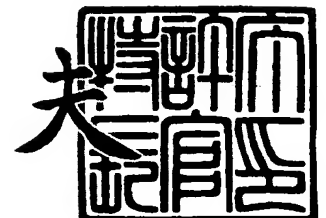
出 願 人 株式会社東芝
Applicant(s):



特許庁長官
Commissioner,
Japan Patent Office

2 0 0 4 年 4 月 6 日

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 8 1 4 1

【書類名】 特許願
【整理番号】 A000305134
【提出日】 平成16年 1月 7日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 木藤 大
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、

前記半導体基板内に形成されたトレンチの内面上に配設され、且つ上面が前記半導体基板の表面の高さ以上の高さに位置する第 1 絶縁膜と、

前記トレンチ深部周囲の前記半導体基板内に形成された拡散層と、

前記第 1 絶縁膜を介して前記トレンチ内に埋め込まれた第 1 導電膜と、

前記半導体基板の表面上のゲート絶縁膜上に配設されたゲート電極と、

前記ゲート電極下のチャネル領域を挟むように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、

前記第 1 導電膜上、前記第 1 絶縁膜上、および前記ソース／ドレイン拡散層のいずれか一方の上に延在する第 2 導電膜と、

を具備することを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 絶縁膜は、前記トレンチ内で前記半導体基板の側面を露出させることなく前記トレンチの内面上に配設されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 2 導電膜は、前記半導体基板の側面に接することなく配設されることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 導電膜の上面は、前記半導体基板の表面の高さ以上の高さに位置することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

半導体基板内に形成された溝内に、上面が前記半導体基板の表面以上の第 1 高さを有する第 1 絶縁膜と、前記溝内に埋め込まれた第 1 導電膜と、を有するキャパシタを形成する工程と、

前記溝の上方において前記第 1 絶縁膜と前記第 1 導電膜上に第 2 絶縁膜を形成する工程と、

前記半導体基板上に、ゲート電極と、前記ゲート電極の下のチャネル領域を挟むように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、を有するトランジスタを形成する工程と、

前記第 2 絶縁膜を一部除去することにより、前記第 1 導電膜の上面を露出させる工程と、

前記露出された前記第 1 導電膜上、および前記ソース／ドレイン拡散層の一方の上に延在する接続導電層を形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【書類名】 明細書**【発明の名称】 半導体記憶装置およびその製造方法****【技術分野】****【0001】**

本発明は、半導体記憶装置およびその製造方法に関し、例えば、ダイナミック型ランダムアクセスメモリ（dynamic random access memory：DRAM）またはDRAM混載デバイスに関する。

【背景技術】**【0002】**

DRAMまたはDRAM混載デバイス（以下、単にDRAM）において、ディープトレンチ（deep trench：DT）内に形成されたメモリ用のキャパシタと、能動領域（active area：AA）との接続に、表面ストラップ（surface strap：SS）型のコンタクトが知られている。SS型コンタクトは半導体基板上に設けられ、接続される2者の上に延在する導電性ポリシリコン等により形成される。このコンタクトにより、キャパシタと、半導体基板上に設けられたメモリセルの転送ゲート用のMOS（metal oxide semiconductor）トランジスタのソース／ドレイン拡散層と、が接続される。

【0003】

図23（a）および図23（b）、図24（a）および図24（b）は、SS型コンタクトを有するDRAMの断面構造の製造工程の一部を示している。図23（a）および図23（b）に示すように、コンタクト（接続導電層）の形成に先立ち、ストレージノード101を露出させるために、トレンチ上絶縁膜（trench top oxide：TTO）102および素子分離絶縁膜109の各表面の一部がエッチングにより除去される。この際、カラー酸化膜103の上部も同時に除去されるため、カラー酸化膜103上に溝104が形成されることにより、シリコン等の半導体基板105の側部が露出する。この結果、図24（a）および図24（b）に示すように、接続導電層106が溝の内部にも形成される。

【0004】

接続導電層106から半導体基板105の側面を介して侵入した不純物は、半導体基板105内で拡散し、ソース／ドレイン拡散層107aより深い位置に不要な拡散層108を形成する。拡散層108の存在によって、拡散層108と、ゲートを挟んで対向するソース／ドレイン拡散層107bと、の間におけるパンチスルー特性が劣化する。

【0005】

また、図24（b）に示すように、半導体基板1の表面が素子分離絶縁膜109から突出している。このため、接続導電層106が半導体基板105からのエピタキシャル成長により形成される場合、半導体基板105の側壁からもシリコンの結晶が成長する場合がある。このため、隣接する、半導体基板1の側壁上のシリコン同士が接触し、この部分でショートを引き起こすことがある。

【0006】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献1】 特開2000-294747号公報

【発明の開示】**【発明が解決しようとする課題】****【0007】**

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、トランジスタのソース／ドレイン拡散層より深い位置に不要な拡散層が形成されることを防止し、パンチスルー特性の劣化を回避可能な半導体記憶装置およびその製造方法を提供しようとするものである。

【課題を解決するための手段】**【0008】**

本発明の第1の視点による半導体記憶装置は、半導体基板と、前記半導体基板内に形成されたトレンチの内面上に配設され、且つ上面が前記半導体基板の表面の高さ以上の高さ

に位置する第1絶縁膜と、前記トレンチ深部周囲の前記半導体基板内に形成された拡散層と、前記第1絶縁膜を介して前記トレンチ内に埋め込まれた第1導電膜と、前記半導体基板の表面上のゲート絶縁膜上に配設されたゲート電極と、前記ゲート電極下のチャンネル領域を挟むように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、前記第1導電膜上、前記第1絶縁膜上、および前記ソース／ドレイン拡散層のいずれか一方の上に延在する第2導電膜と、を具備することを特徴とする。

【0009】

本発明の第2の視点による半導体記憶装置の製造方法は、半導体基板内に形成された溝内に、上面が前記半導体基板の表面以上の第1高さを有する第1絶縁膜と、前記溝内に埋め込まれた第1導電膜と、を有するキャパシタを形成する工程と、前記溝の上方において前記第1絶縁膜と前記第1導電膜上に第2絶縁膜を形成する工程と、前記半導体基板上に、ゲート電極と、前記ゲート電極下のチャンネル領域を挟むように前記半導体基板の表面に形成されたソース／ドレイン拡散層と、を有するトランジスタを形成する工程と、前記第2絶縁膜を一部除去することにより、前記第1導電膜の上面を露出させる工程と、前記露出された前記第1導電膜上、および前記ソース／ドレイン拡散層の一方の上に延在する接続導電層を形成する工程と、を具備することを特徴とする。

【0010】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【発明の効果】

【0011】

本発明によれば、ソース／ドレイン拡散層より深い位置に不要な拡散層が形成されることを防止することにより、パルス特性が良好なトランジスタを有する半導体記憶装置およびその製造方法を提供できる。

【発明を実施するための最良の形態】

【0012】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0013】

(第1実施形態)

図1(a)、図1(b)は、本発明の第1実施形態に係る半導体記憶装置の断面図である。図1(a)と図1(b)とは、相互に直交する位置関係を有する。図1(a)、図1(b)に示すように、半導体基板1の表面にウェル領域2が形成されている。半導体基板1の表面内にはトレンチキャパシタCが形成され、半導体基板1(アクティブエリア)上には、MOSトランジスタTが形成される。キャパシタC、およびアレイトランジスタとして機能するMOSトランジスタTにより、DRAMのメモリセルが構成される。

【0014】

キャパシタCは、プレート電極となる拡散層11、キャパシタ絶縁膜12、ストレージノード13、カラー酸化膜14等により構成される。拡散層11は、例えばAs等の不純物が拡散されることにより構成される。キャパシタ絶縁膜12は、トレンチの深部の内面上に拡散層11が形成される位置とほぼ同じ高さまで延在する。

【0015】

カラー酸化膜14は、例えばシリコン酸化膜により構成され、トレンチの内面(半導体基板1の側面)において、キャパシタ絶縁膜12の上端から半導体基板1の表面に亘って延在する。カラー酸化膜14の上端は、少なくとも半導体基板1の表面と同じ高さか、あるいは半導体基板1の表面から突出する。また、カラー酸化膜14は、トレンチ内におい

て少なくとも後述のソース／ドレイン拡散層 25 の最深部（低部）以下の位置において、半導体基板 1 の側面を露出させないように、半導体基板 1 の側面と接触している。さらに好ましくは、カラー酸化膜 14 は、トレンチ内で半導体基板 1 の側面を露出させないように、半導体基板 1 の表面までに亘って半導体基板 1 の側面に設けられる。トレンチ内でカラー酸化膜 14 が半導体基板 1 の側面と接しているため、この部分において、カラー酸化膜 14 と半導体基板 1 の側壁との間に空隙は形成されない。

【0016】

カラー酸化膜 14 の、半導体基板 1 の表面から露出した表面上には、スペーサ絶縁膜 15 が設けられる。スペーサ絶縁膜 15 は、後述するトランジスタのゲート電極構造の側壁上に設けられるスペーサ絶縁膜と同じ材料から構成され、典型的には、シリコン窒化膜から構成される。

【0017】

ストレージノード 13 は、トレンチ内部でキャパシタ絶縁膜 12、カラー酸化膜 14 上に設けられ、トレンチを埋め込む。ストレージノード 13 は、例えば不純物が注入されることにより導電性とされたポリシリコンにより構成される。また、ストレージノード 13 の上端は、半導体基板 1 の表面より高い位置に位置する。

【0018】

ストレージノード 13 上において、ストレージノード 13 の一端から中央近傍までの領域には、トレンチ上絶縁膜（trench top oxide）16 が設けられる。トレンチ上絶縁膜 16 は、カラー酸化膜 14 と同じ材料により構成され、典型的には、シリコン酸化膜により構成される。トレンチ上絶縁膜 16 の厚さは、例えば 50 nm～100 nm である。

【0019】

トレンチ上絶縁膜 16 の表面から半導体基板 1 内に亘って素子分離絶縁膜 17 が設けられる。素子分離絶縁膜の一部は、ストレージノード 13 の上面より突出し、この突出した部分において、トレンチ上絶縁膜 16 と接触している。素子分離絶縁膜 17 は、トレンチの上方、後述するゲート構造の相互間において溝 18 を有し、この溝 18 の底部はストレージノード 13 の上面より若干低く、かつ半導体基板 1 の表面の高さ以上の位置に形成される。素子分離絶縁膜 17 は、STI（shallow trench isolation）構造を有し、例えばシリコン酸化膜により構成される。

【0020】

トランジスタ T は、図面と垂直な方向に延在するゲート構造を有する。ゲート構造は、半導体基板 1 上に順に積み重ねられたゲート絶縁膜 21、ゲート電極 22、シリサイド膜 23、キャップ絶縁膜 24 から構成される。ゲート電極 22 の側壁は酸化され、この位置に後酸化膜 26 が形成される。ゲート構造は、キャパシタ C（トレンチ上絶縁膜 16 および素子分離絶縁膜 17 上）では、ゲート絶縁膜 21 が除かれた形で配置される。半導体基板 1 の表面（アクティブエリアの表面）には、ゲート構造の下のチャネル領域を挟むように、ソース／ドレイン拡散層 25 が形成される。半導体基板 1 上で隣接するトランジスタのソース／ドレイン拡散層 25 は、共通とされている。ゲート構造の側壁には、スペーサ絶縁膜 15 が設けられる。スペーサ絶縁膜 15 はまた、素子分離絶縁膜 17 の側壁上にも設けられる。

【0021】

ゲート電極 22 は、例えば不純物が導入されることにより導電性とされたポリシリコンから構成される。シリサイド膜 23 は、例えばタングステンシリサイドから構成される。キャップ絶縁膜 24 はスペーサ絶縁膜 15 と同じ材料から構成され、典型的には、シリコン窒化膜から構成される。

【0022】

トレンチ上のゲート構造は、トレンチ上絶縁膜 16 上と、および素子分離絶縁膜 17 のストレージノード 13 から突出した部分上と、に亘って設けられる。素子分離絶縁膜 17 の溝 18 の側壁は、トレンチ上のゲート構造の縁の延長線上に位置する。

【0023】

トレンチ上のゲート構造と、半導体基板 1 上のトランジスタ T との間の領域には、表面ストラップ型の接続導電層 31 が所定の高さまで埋め込まれる。すなわち、接続導電層 31 は、ストレージノード 13 上、カラー酸化膜 14 上のスペーサ絶縁膜 15 上、半導体基板 1 上（より具体的には、ソース／ドレイン拡散層 25 上）に、延在する。接続導電層 31 は、例えば不純物が導入されることにより導電性とされた単結晶シリコンまたはポリシリコンにより構成され、ストレージノード 13 とソース／ドレイン拡散層 25 とを電氣的に接続する。上記したようにカラー酸化膜 14 がトレンチ内において半導体基板 1 の側面の全てに亘って接触しているため、接続導電層 31 が半導体基板 1 の側面において接触することはない。

【0024】

接続導電層 31 は、半導体基板 1 上のトランジスタ T 相互間の領域の半導体基板 1 上にも設けられる。半導体基板 1 上の全面に、例えばシリコン酸化（SiO）膜から構成される層間絶縁膜 32 が設けられる。層間絶縁膜 32 内には、配線層 33 およびコンタクト 34 が設けられる。コンタクト 34 は、配線層 33 と、半導体基板 1 上のトランジスタ T のソース／ドレイン拡散層 25 のうち、キャパシタ C と接続されない方と、電氣的に接続する。キャップ絶縁膜 24 は、図 1（a）と異なる断面において一部が除去され、この位置にコンタクト（図示せぬ）が形成される。

【0025】

次に、図 1（a）および図 1（b）に示す半導体記憶装置の製造方法について、図 2（a）および図 2（b）～図 12（a）および図 12（b）を参照して説明する。図 2（a）～図 12（a）は、図 1（a）と同じ位置の断面における製造工程の一部を順に示している。図 2（b）～図 12（b）は、図 1（b）と同じ位置の断面における製造工程の一部を順に示している。なお、図 3（a）および図 3（b）以降は、図 1（a）および図 1（b）のウェル領域 2 より上の部分のみを示す。

【0026】

図 2（a）および図 2（b）に示すように、半導体基板 1 上に、シリコン酸化膜 41、例えばシリコン窒化膜等のパッド絶縁膜 42 が順次形成される。パッド絶縁膜 42 の厚さは、カラー酸化膜 14 が半導体基板 1 の表面より突出する量を決定する一要因となる。すなわち、パッド絶縁膜 42 の表面と同じ高さを有するカラー酸化膜 14 の上端が、後の工程において、ストレージノード 13 が確実に露出する条件でトレンチ上絶縁膜 16 がエッチングされる条件下で、エッチバックされる。したがって、このような条件下のエッチングされた後でもカラー酸化膜 14 の上端が半導体基板 1 の表面より突出させるために、パッド絶縁膜 42 の厚さは、150 nm～250 nm とされる。

【0027】

次に、リソグラフィ工程、および RIE（reactive ion etching）等の異方性エッチングにより、パッド絶縁膜 42 の表面から半導体基板 1 に達するトレンチ 43 が形成される。次に、トレンチの深部の側面上に、例えば AsSG 等の材料膜を堆積後、熱処理を経ることにより、拡散層 11 が形成される。

【0028】

次に、図 3（a）および図 3（b）に示すように、例えば CVD（chemical vapor deposition）法等により、トレンチ絶縁膜 16 の下端が位置する予定の高さまでキャパシタ絶縁膜 12（図示せぬ）およびカラー酸化膜 14 が形成され、トレンチ 43 がストレージノード 13 の材料膜により埋め込まれる。この結果、カラー酸化膜 14 は、半導体基板 1 の表面から 50 nm～100 nm 程度突出する。ストレージノード 13 もカラー酸化膜 14 と同じ高さまで形成される。次に、カラー酸化膜 14 およびストレージノード 13 上に、例えば CVD 法、CMP（chemical mechanical polishing）法等を用いて、パッド絶縁膜 42 と同じ高さまでトレンチ上絶縁膜 16 が形成される。

【0029】

なお、この工程は、実際には、複数の工程により構成される。例えば、以下のような工程により実現される。まず、例えば、キャパシタ絶縁膜 12 の形成後、キャパシタ絶縁膜

12の高さまでストレージノード13の材料膜が埋め込まれる。次に、カラー酸化膜14の材料膜がトレンチ43の側壁からパッド絶縁膜42上に形成され、次いでトレンチ43内の所定の高さまでエッチバックされる。次に、ストレージノード13の材料膜が、トレンチ43内からパッド絶縁膜42上に埋め込まれ、次いで、カラー酸化膜14と同程度の高さまでエッチバックされる。

【0030】

次に、図4(a)および図4(b)に示すように、例えばリソグラフィ工程、およびRIE等の異方性エッチングを用いて、素子分離絶縁膜17用のトレンチが形成される。次に、このトレンチ内に、例えばCVD法、およびCMP法等を用いて、素子分離絶縁膜17の材料膜が埋め込まれる。この結果、素子分離絶縁膜17が形成される。次に、イオン注入および熱拡散等により、ウェル領域2が形成される。

【0031】

次に、図5(a)および図5(b)に示すように、例えばウェットエッチング等を用いて、パッド絶縁膜42、シリコン酸化膜41が除去される。この結果、半導体基板1の表面が露出する。

【0032】

次に、図6(a)および図6(b)に示すように、例えば熱酸化法により、露出した半導体基板1の表面上に、ゲート絶縁膜21の材料膜21aが形成される。次に、半導体基板1上の全面に、ゲート電極22の材料膜22aが、例えばCVD法等により堆積される。次に、トレンチ上絶縁膜16および素子分離絶縁膜17をストッパーとして、CMP法により、材料膜22aが平坦化される。

【0033】

次に、図7(a)および図7(b)に示すように、半導体基板1上の全面、すなわち材料膜22a上、トレンチ上絶縁膜16上、素子分離絶縁膜17上にゲート電極22の材料膜22bが、例えばCVD法により形成される。次に、材料膜22b上の全面に、例えばスパッタリング法により、シリサイド膜23の材料膜23aが形成される。次に、材料膜23a上の全面に、例えばCVD法により、キャップ絶縁膜24の材料膜24aが形成される。

【0034】

次に、図8(a)および図8(b)に示すように、材料膜24a上にゲート電極のパターンが残存するように形成された開口を有するマスク材(図示せぬ)が形成され、このマスク材を用いたRIE法等の異方性エッチングにより材料膜24aがパターンニングされる。この結果、キャップ絶縁膜24が形成される。次に、マスク材が除去される。次に、キャップ絶縁膜24をマスクとして用いたRIE法等の異方性エッチングにより、材料膜23a、22a、22bがパターンニングされる。この結果、ゲート電極22、シリサイド膜23が形成される。

【0035】

次に、図9(a)および図9(b)に示すように、例えば熱酸化法により、ゲート電極22の側壁が酸化されることにより、後酸化膜26が形成される。

【0036】

次に、図10(a)および図10(b)に示すように、キャップ絶縁膜24をマスクとして用いたRIE法等の異方性エッチングにより、トレンチ上絶縁膜16の一部、素子分離絶縁膜17の一部が除去される。このエッチングの条件は、トレンチ上絶縁膜16の膜厚のばらつきを考慮して、ストレージノード13上のトレンチ上絶縁膜16が確実に除去されることにより、ストレージノード13の上面が露出するように設定される。すなわち、ややオーバーエッチング気味の条件に設定される。このため、トランジスタT相互間の素子分離絶縁膜17の表面に、底部がストレージノード13の上面より低い位置に位置する溝18が形成される。

【0037】

また、このエッチングにより、カラー酸化膜14の上面が後退する。しかしながら、カ

ラー酸化膜 14 が半導体基板 1 の表面より上記した値程度突出するように形成しておくことにより、カラー酸化膜 14 の上面は半導体基板 1 の表面以下までは後退しない。また、このエッチングの際、材料膜 21a がパターンニングされることにより、ゲート絶縁膜 21 が形成される。なお、トランジスタ T のソース／ドレイン拡散層 25 を LDD (lightly doped drain) 構造とする場合、この工程のあと、材料膜 24a をマスクとしたイオン注入により、ソース／ドレインエクステンション層 (図示せぬ) が形成される。

【0038】

次に、図 11 (a) および図 11 (b) に示すように、例えば CVD 法およびエッチバックを用いて、各ゲート構造の側壁上、トレンチ上絶縁膜 16 の各側壁上、素子分離絶縁膜 17 の溝 18 の内壁上、カラー酸化膜 14 上、にスペーサ絶縁膜 15 が形成される。次に、スペーサ絶縁膜 15 およびキャップ絶縁膜 24 をマスクとしたイオン注入により、ソース／ドレイン拡散層 25 が形成される。

【0039】

次に、図 12 (a) および図 12 (b) に示すように、選択的エピタキシャル成長により、半導体基板 1 の表面から成長したシリコン膜が所定の高さまで形成される。半導体基板 1 上のトランジスタ T の、キャパシタ C と向き合う側の半導体基板 1 から成長したシリコン膜は、ストレージノード 13 上まで延出する。この結果、半導体基板 1 上のトランジスタ T と、トレンチ上のゲート構造との間には、シリコン膜により埋め込まれる。このシリコン膜に不純物が購入されることにより、接続導電層 31 が形成される。

【0040】

次に、図 1 (a) および図 1 (b) に示すように、半導体基板 1 上の全面に例えば CVD 法により層間絶縁膜 32 の材料膜が堆積される。この結果、各トランジスタ T 相互間は、この材料膜により埋め込まれる。次に、この材料膜の表面が CMP 法により平坦化されることにより、層間絶縁膜 32 が形成される。次に、リソグラフィー工程、および RIE 等の異方性エッチングを用いて、コンタクト 34 のためのコンタクトホールが形成される。次に、コンタクトホールが、例えばアモルファスシリコン等の導電材により埋め込まれることにより、コンタクト 34 が形成される。次に、リソグラフィー工程、および RIE 等の異方性エッチングにより、配線層 33 のための配線溝が形成される。次に、配線溝が導電材により埋め込まれることにより、配線層 33 が形成される。

【0041】

本発明の第 1 実施形態に係る半導体記憶装置によれば、トレンチ 43 内のカラー酸化膜 14 が、半導体基板 1 との間で空隙を形成することなく且つ半導体基板 1 より突出するように設けられる。したがって、接続導電層 31 が、トレンチ内で半導体基板 1 の側壁に接することなく、半導体基板 1 およびストレージノード 13 上に形成される。このため、不純物が、接続導電層 31 からトレンチ 43 の側壁を介して半導体基板 1 に侵入することを回避できる。したがって、ソース／ドレイン拡散層より深い位置に不要な拡散層が形成されることを防止することにより、パンチスルー特性が良好なトランジスタを有する半導体記憶装置を実現できる。

【0042】

また、第 1 実施形態によれば、半導体基板 1 の表面が素子分離絶縁膜 17 の表面より低い。このため、接続導電層 31 がエピタキシャル成長により形成される場合、半導体基板 1 の側壁からシリコンが成長することを防止できる。したがって、露出している半導体基板 1 の各側壁上で成長したシリコンの結晶が、相互に接触する可能性を排除できる。

【0043】

また、第 1 実施形態によれば、アクティブエリア (例えば図 1 (b)) において、半導体基板 1 の表面から素子分離絶縁膜 17 の側壁に延在するスペーサ絶縁膜 15 が設けられる。このようなスペーサ絶縁膜 15 が設けられることなくエピタキシャル成長により半導体基板 1 の表面からシリコン結晶が形成される場合、シリコン結晶にファセット (facet) が形成される場合がある。すなわち、例えば半導体基板 1 の表面を底辺とする三角形等、半導体基板 1 の表面と角度を成す面を有するシリコン結晶が形成される。この場合、コ

ンタクト34の形成が困難となる。これに対して、第1実施形態によれば、スペーサ絶縁膜15が設けられることにより、ファセットの形成を抑制し、半導体基板1の表面とはほぼ平行な上面を有する接続導電層31を形成することができる。また、カラー酸化膜14上のスペーサ絶縁膜15は、製造工程において、例えば半導体基板1の表面の自然酸化膜を除去するための薬液を用いた処理の際、カラー酸化膜14が後退することを防止する機能等も有する。

【0044】

(第2実施形態)

第2実施形態は、第1実施形態の半導体記憶装置の製造方法の他の例に関する。図13(a)、図13(b)は、本発明の第2実施形態に係る半導体記憶装置の断面図である。図13(a)と図13(b)とは、相互に直交する位置関係を有する。第2実施形態に係る半導体記憶装置は、以下の点を除いて第1実施形態と同じである。すなわち、後述するように、製造工程が第1実施形態と異なるため、図13(a)および図13(b)に示すように、素子分離絶縁膜17の溝18の側壁上、およびトレンチ上絶縁膜16の側壁上にスペーサ絶縁膜15が形成されない。

【0045】

次に、図14(a)および図14(b)～図15(a)および図15(b)、図17(a)および図17(b)を用いて本発明の第2実施形態に係る半導体記憶装置の製造方法について説明する。図14(a)、図15(a)、図17(a)は、図13(a)と同じ位置の断面における製造工程の一部を順に示している。図14(b)、図15(b)、図17(b)は、図13(b)と同じ位置の断面における製造工程の一部を順に示している。

【0046】

まず、第1実施形態の図9までと同じ工程が行われる。次に、図14(a)および図14(b)に示すように、例えばCVD法およびエッチバックを用いて、ゲート構造の側壁上にスペーサ絶縁膜15が形成される。この後、第1実施形態と同様にしてソース/ドレイン拡散層25が形成される。ソース/ドレイン拡散層25をLDD構造とする場合、スペーサ絶縁膜15の形成に先立ちイオン注入することにより、エクステンション層(図示せぬ)が形成される。

【0047】

次に、図15(a)および図15(b)に示すように、例えばCVD法により、半導体基板1上の全面に、膜厚のストッパー絶縁膜51が堆積される。ストッパー絶縁膜51は、後述するゲート構造間の材料膜32aを除去する際のストッパーとして機能し、例えばシリコン窒化膜が用いられる。次に、半導体基板1上の全面に、例えばCVD法により、層間絶縁膜32の材料膜32aが形成される。この結果、各ゲート構造相互間は、材料膜32aにより埋め込まれる。次に、CVD法、およびRIE等の異方性エッチングを用いて、材料膜32a上の全面に、マスク材52が形成される。このマスク材52は、図16に示すように、少なくともアクティブエリア(トランジスタTが形成される領域)の上方に開口53を有する。図16において、WLはゲート構造を示している。

【0048】

次に、図17(a)および図17(b)に示すように、マスク材52を用いてRIE法等の異方性エッチングにより、材料膜32aの一部が除去される。次に、材料膜32aが除去された領域(開口部)のストッパー絶縁膜51がエッチングにより除去される。次に、第1実施形態の図10(a)および図10(b)の工程と同様に、ゲート構造およびスペーサ絶縁膜15をマスクとして、ストレージノード13の上面が露出するまでトレンチ上絶縁膜16の一部、素子分離絶縁膜17の一部が除去される。なお、図17(a)および図17(b)に示すようなアクティブエリア以外の素子分離絶縁膜17上には、層間絶縁膜32が残存している。

【0049】

この後の工程に関しては、第1実施形態の図11(a)および図11(b)～図12(

a) および図 12 (b) と同様である。すなわち、図 11 (a) および図 11 (b) と同じ工程により、カラー酸化膜 14 の表面上にスペーサ絶縁膜 15 が形成される。

【0050】

次に、図 12 (a) および図 12 (b) と同じく、エピタキシャル成長により接続導電層 31 が形成される。なお、この際、材料膜 32 a の開口内を不純物が導入されたポリシリコンにより CVD 法により埋め込み、このポリシリコンを図 13 (a) および図 13 (b) に示す高さまでエッチバックすることにより形成することも可能である。

【0051】

次に、図 13 (a) および図 13 (b) に示すように、材料膜 32 a の開口内が層間絶縁膜 32 の材料膜 32 a により再度埋め込まれ、表面が平坦化されることにより、層間絶縁膜 32 が形成される。次に、第 1 実施形態と同じ工程により、コンタクト 34、配線層 33 が形成される。

【0052】

第 2 実施形態によれば、第 1 実施形態と同じ効果を得られる。

【0053】

(第 3 実施形態)

第 3 実施形態は、第 1 実施形態の半導体記憶装置の製造方法の他の例に関し、半導体基板 1 上の全面に接続導電層 31 が形成された後に、接続導電層 31 の不要な部分が除去される。断面構造は、第 2 実施形態の図 13 (a) および図 13 (b) と同じである。

【0054】

次に、図 18 (a) および図 18 (b) ~ 図 20 (a) および図 20 (b) を用いて本発明の第 3 実施形態に係る半導体記憶装置の製造方法について説明する。図 18 (a)、図 19 (a)、図 20 (a) は、図 13 (a) と同じ位置の断面における製造工程の一部を順に示している。図 18 (b)、図 19 (b)、図 20 (b) は、図 13 (b) と同じ位置の断面における製造工程の一部を順に示している。

【0055】

まず、第 2 実施形態の図 14 (a) および図 14 (b) までと同じ工程が行われる。次に、図 18 (a) および図 18 (b) に示すように、次に、第 1 実施形態の図 10 (a) および図 10 (b) の工程と同じ工程により、ゲート構造およびスペーサ絶縁膜 15 をマスクとして、ストレージノード 13 の上面が露出するまでトレンチ上絶縁膜 16 の一部、素子分離絶縁膜 17 の一部が除去される。次に、例えば CVD 法を用いて、カラー酸化膜 14 上に、スペーサ絶縁膜 15 が形成される。次に、イオン注入によりソース/ドレイン拡散層 25 が形成される。ソース/ドレイン拡散層 25 を LDD 構造とする場合、スペーサ絶縁膜 15 の形成に先立ちイオン注入することにより、エクステンション層 (図示せぬ) が形成される。

【0056】

次に、図 19 (a) および図 19 (b) に示すように、各ゲート構造の相互間に、例えば CVD 法により、接続導電層 31 の材料膜 31 a が埋め込まれる。この材料膜 31 a として、例えば導電性のポリシリコンが用いられる。次に、この材料膜 31 a が、図 13 (a) および図 13 (b) に示す所定の高さまでエッチバックされる。

【0057】

次に、図 20 (a) および図 20 (b) に示すように、半導体基板 1 上の全面に、マスク材 61 が形成される。マスク材 61 は、図 21 に示すように、少なくとも接続導電層 31 が形成される予定の領域上に残存するパターンを有する。次に、マスク材 61 をマスクとして、材料膜 31 a が、RIE 法等の異方性エッチングを用いて除去される。この結果、接続導電層 31 が形成される。この後の工程に関しては、第 2 実施形態と同じである。

【0058】

第 3 実施形態に係る半導体記憶装置によれば、第 1 実施形態と同じ効果を得られる。

【0059】

(第 4 実施形態)

第4実施形態では、カラー酸化膜14上にスペーサ絶縁膜15が設けられない。図22(a)および図22(b)は、本発明の第4実施形態に係る半導体記憶装置の断面図である。図22(a)および図22(b)に示すように、カラー酸化膜14上には、スペーサ絶縁膜15が設けられることなく接続導電層31が直接設けられる。その他の部分に関しては、第2、第3実施形態と同じである。

【0060】

図22(a)および図22(b)に示す半導体記憶装置の製造方法は、以下の点を除いて第2実施形態または第3実施形態と同じである。すなわち、第2実施形態においては、図17(a)および図17(b)に示す工程の後、スペーサ絶縁膜15が形成される工程が省略される。また、第3実施形態においては、図18(a)および図18(b)に示す工程の際、スペーサ絶縁膜15が形成される工程が省略される。その他の工程に関しては、第2、第3実施形態と同じである。

【0061】

第4実施形態によれば、第1実施形態と同じ効果を得られる。また、第4実施形態によれば、第1実施形態中のスペーサ絶縁膜15により得られる効果を得られないが、接続導電層31とソース/ドレイン拡散層25とが接する面積は、第1実施形態の場合より大きい。したがって、この部分における抵抗値を減少させることができる。

【0062】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0063】

【図1】本発明の第1実施形態に係る半導体記憶装置の断面図。

【図2】図1の半導体記憶装置の製造工程の一部を示す断面図。

【図3】図2に続く工程を示す断面図。

【図4】図3に続く工程を示す断面図。

【図5】図4に続く工程を示す断面図。

【図6】図5に続く工程を示す断面図。

【図7】図6に続く工程を示す断面図。

【図8】図7に続く工程を示す断面図。

【図9】図8に続く工程を示す断面図。

【図10】図9に続く工程を示す断面図。

【図11】図10に続く工程を示す断面図。

【図12】図11に続く工程を示す断面図。

【図13】本発明の第2実施形態に係る半導体記憶装置の断面図。

【図14】図13の半導体記憶装置の製造工程の一部を示す断面図。

【図15】図14に続く工程を示す断面図。

【図16】第2実施形態の製造工程で用いられるマスクの平面図。

【図17】図14に続く工程を示す断面図。

【図18】本発明の第3実施形態に係る半導体記憶装置の製造工程の一部を示す断面図。

【図19】図18に続く工程を示す断面図。

【図20】図19に続く工程を示す断面図。

【図21】第3実施形態の製造工程で用いられるマスクの平面図。

【図22】本発明の第4実施形態に係る半導体記憶装置の断面図。

【図23】半導体記憶装置の従来の製造工程の一部を示す断面図。

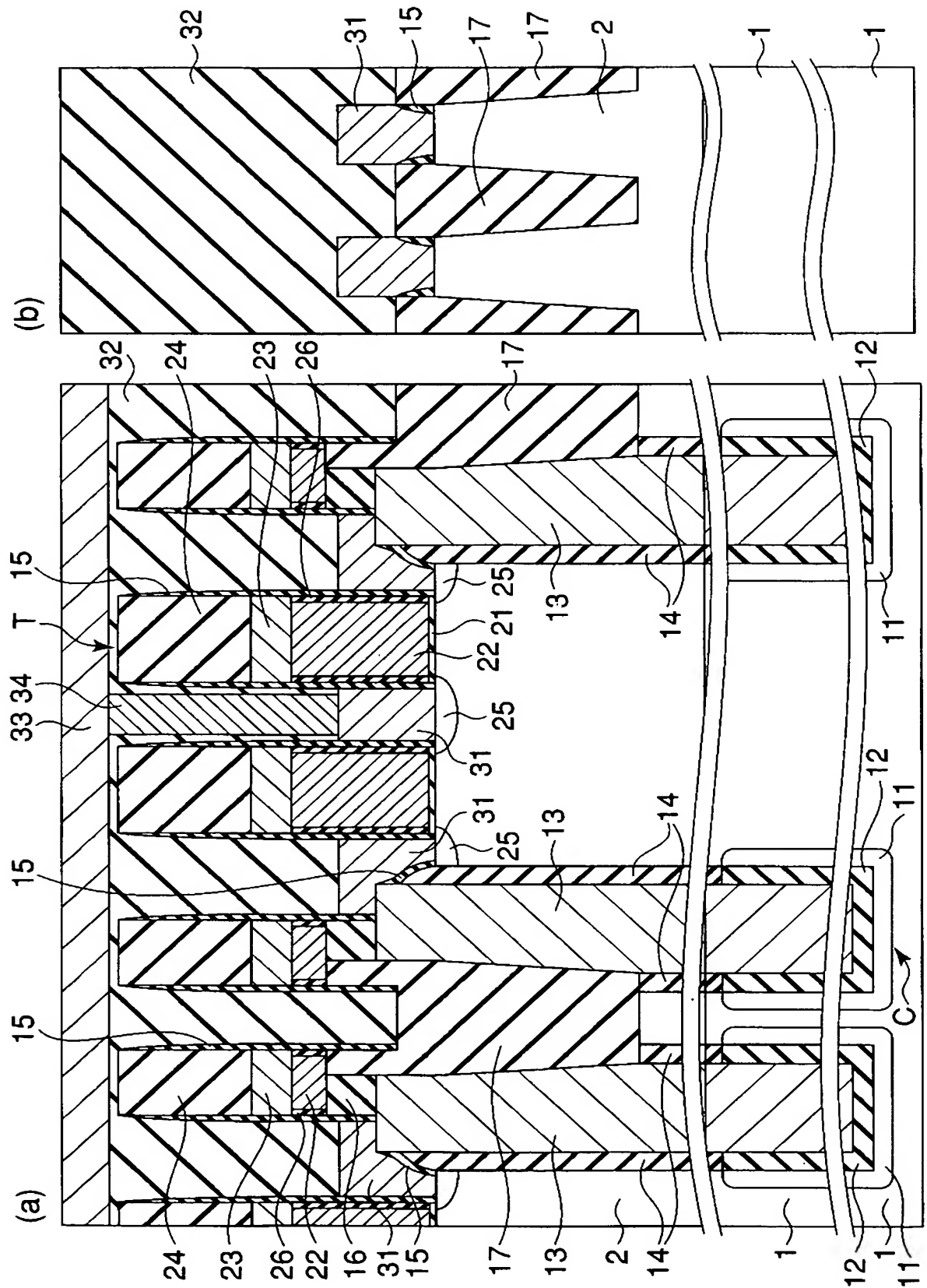
【図24】図23に続く工程を示す断面図。

【符号の説明】

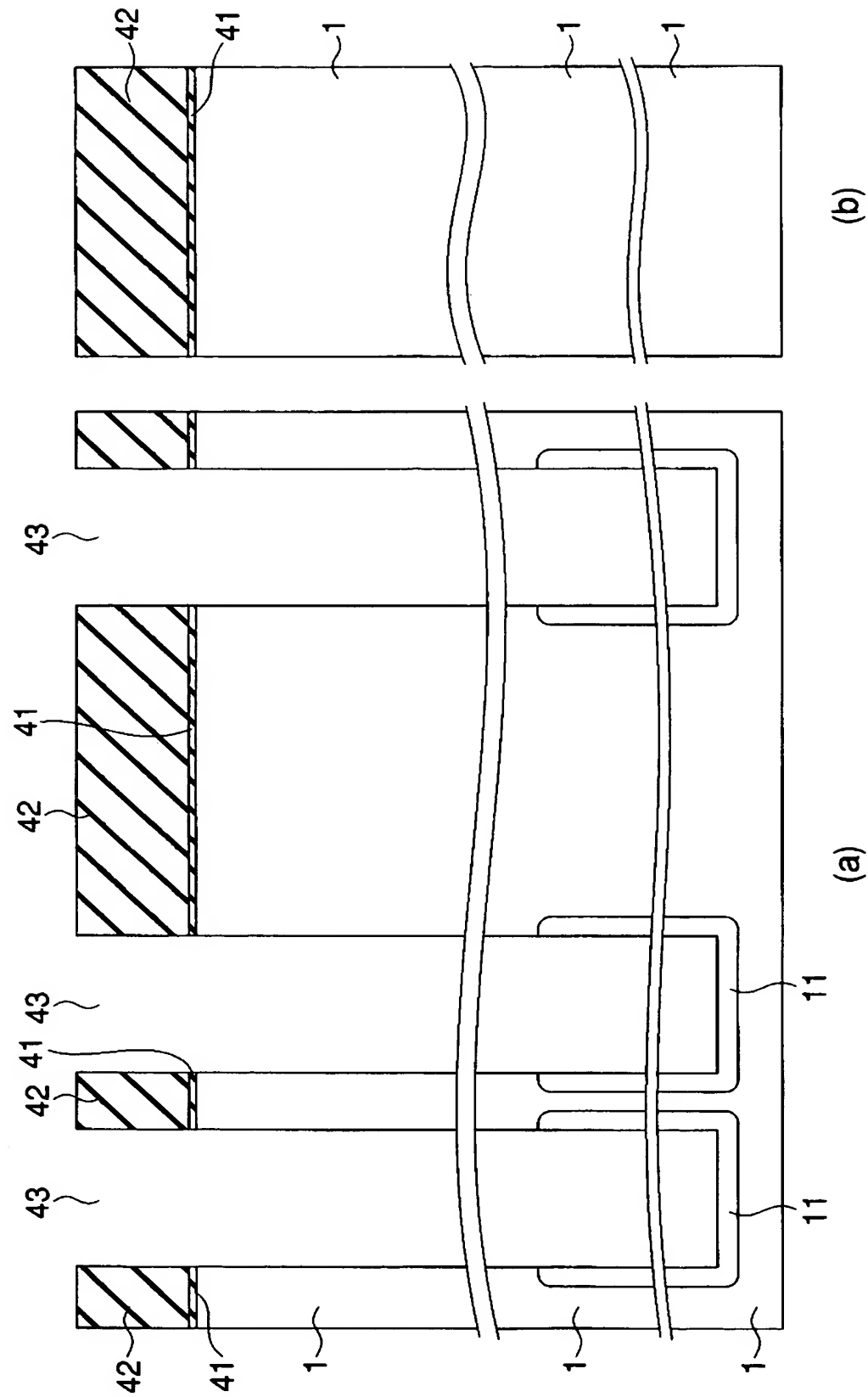
【0064】

1…半導体基板、2…ウェル領域、11…拡散層、12…キャパシタ絶縁膜、13…ストレージノード、14…カラー酸化膜、15…スペーサ絶縁膜、16…トレンチ上絶縁膜、17…素子分離絶縁膜、18…溝、21…ゲート絶縁膜、22…ゲート電極、23…シリサイド膜、24…キャップ絶縁膜、25…ソース／ドレイン拡散層、26…後酸化膜、21a、22a、22b、23a、24a、31a、32a…材料膜、31…接続導電層、32…層間絶縁膜、33…配線層、34…コンタクト、41…シリコン酸化膜、42…パッド絶縁膜、43…トレンチ、51…ストッパー絶縁膜、52、61…マスク材、53…開口、C…キャパシタ、T…MOSトランジスタ。

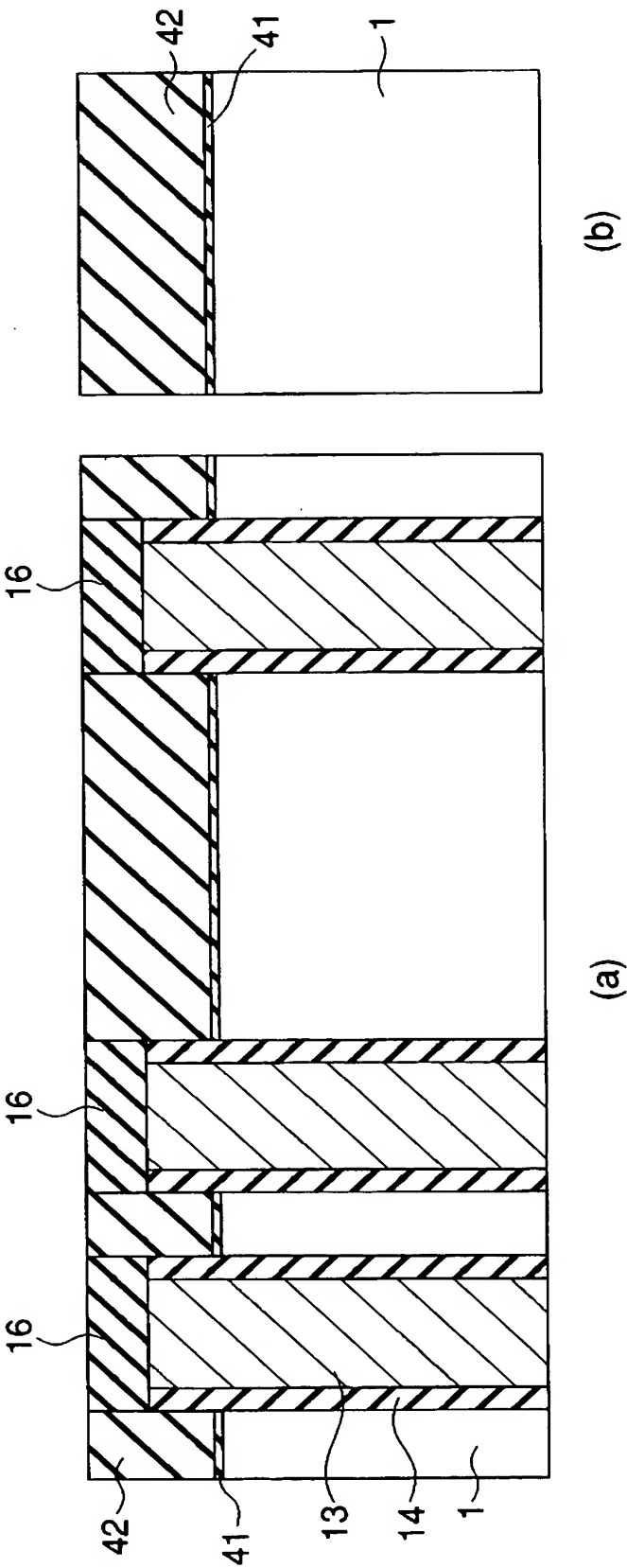
【書類名】 図面
【図 1】



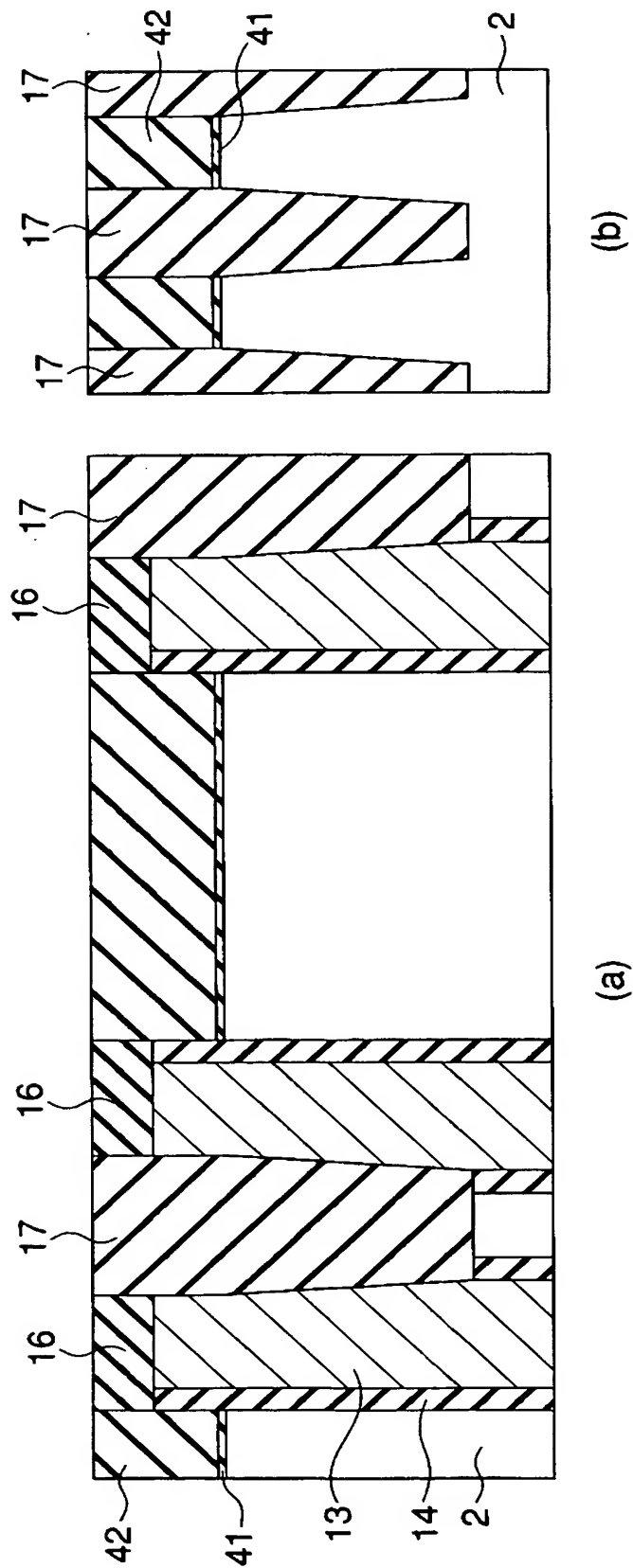
【図 2】



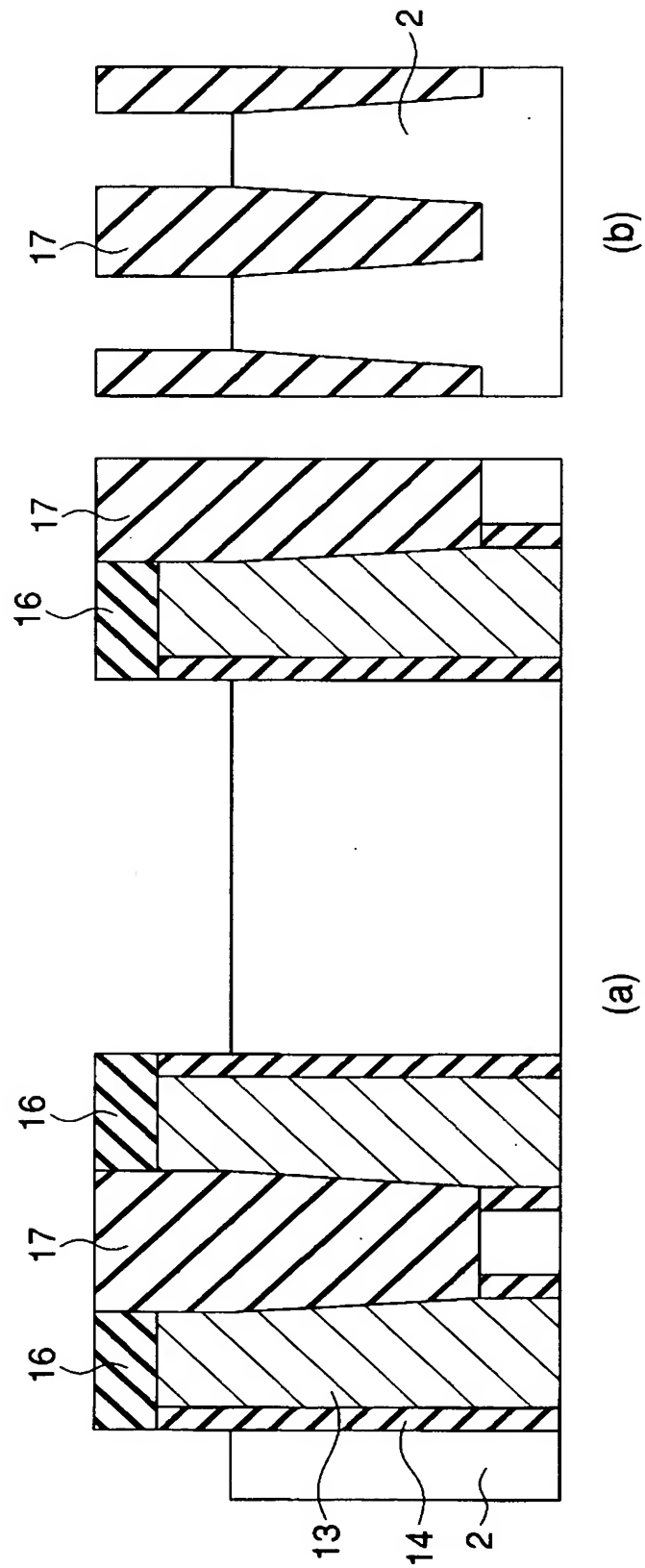
【図 3】



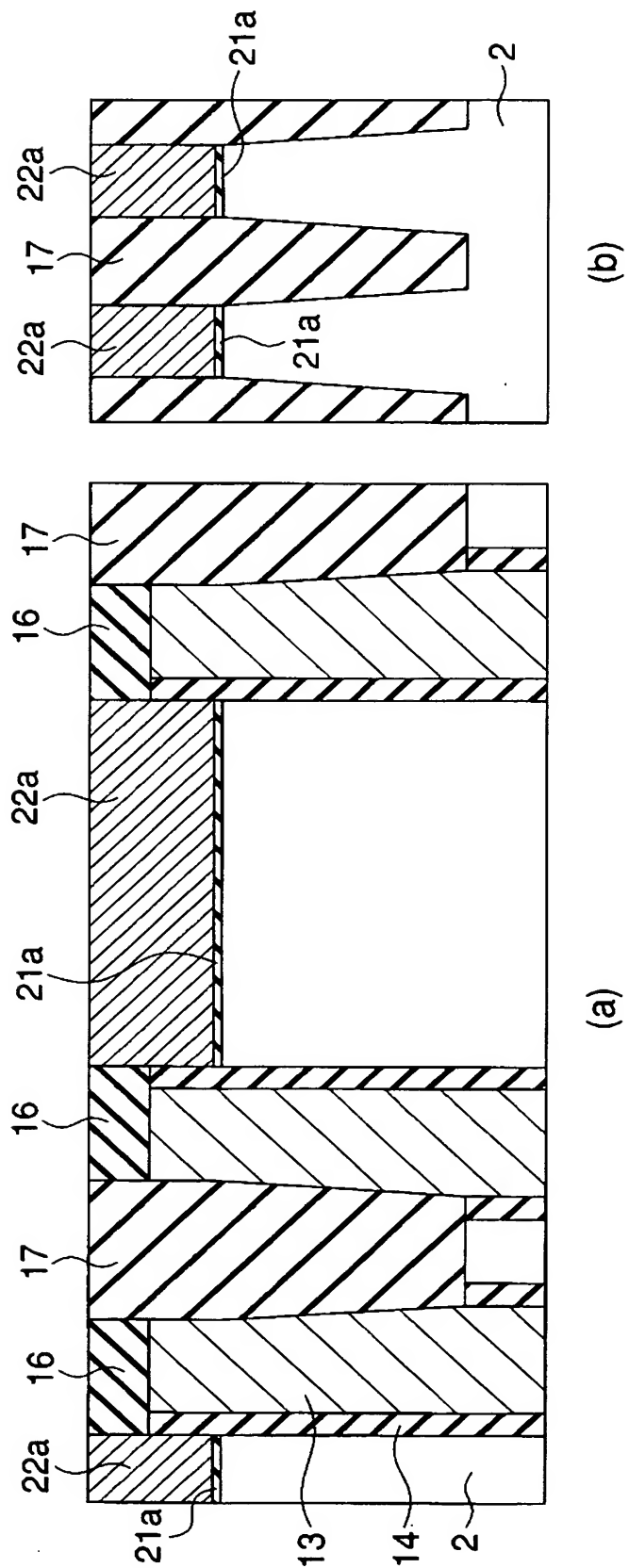
【図 4】



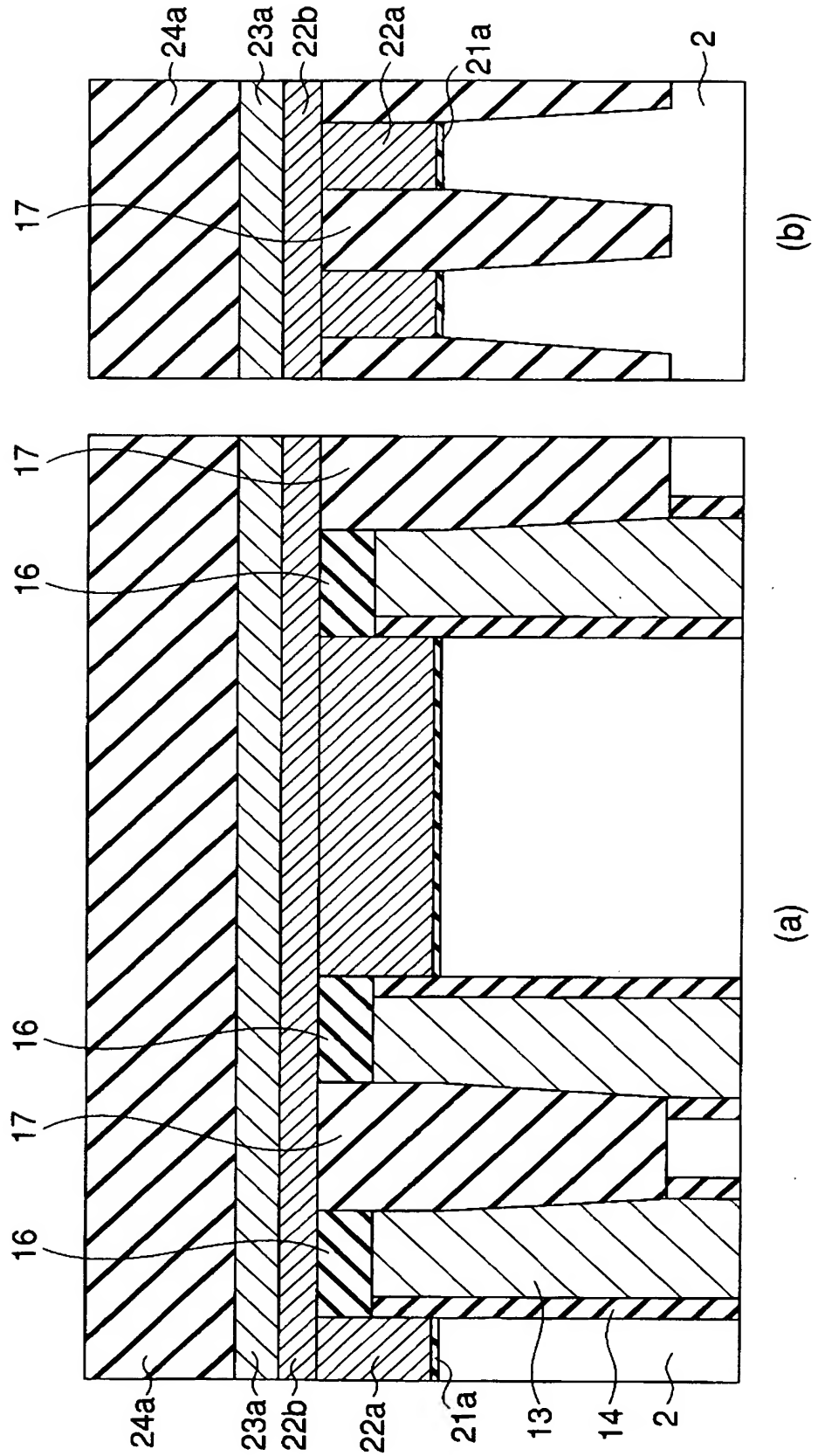
【図 5】



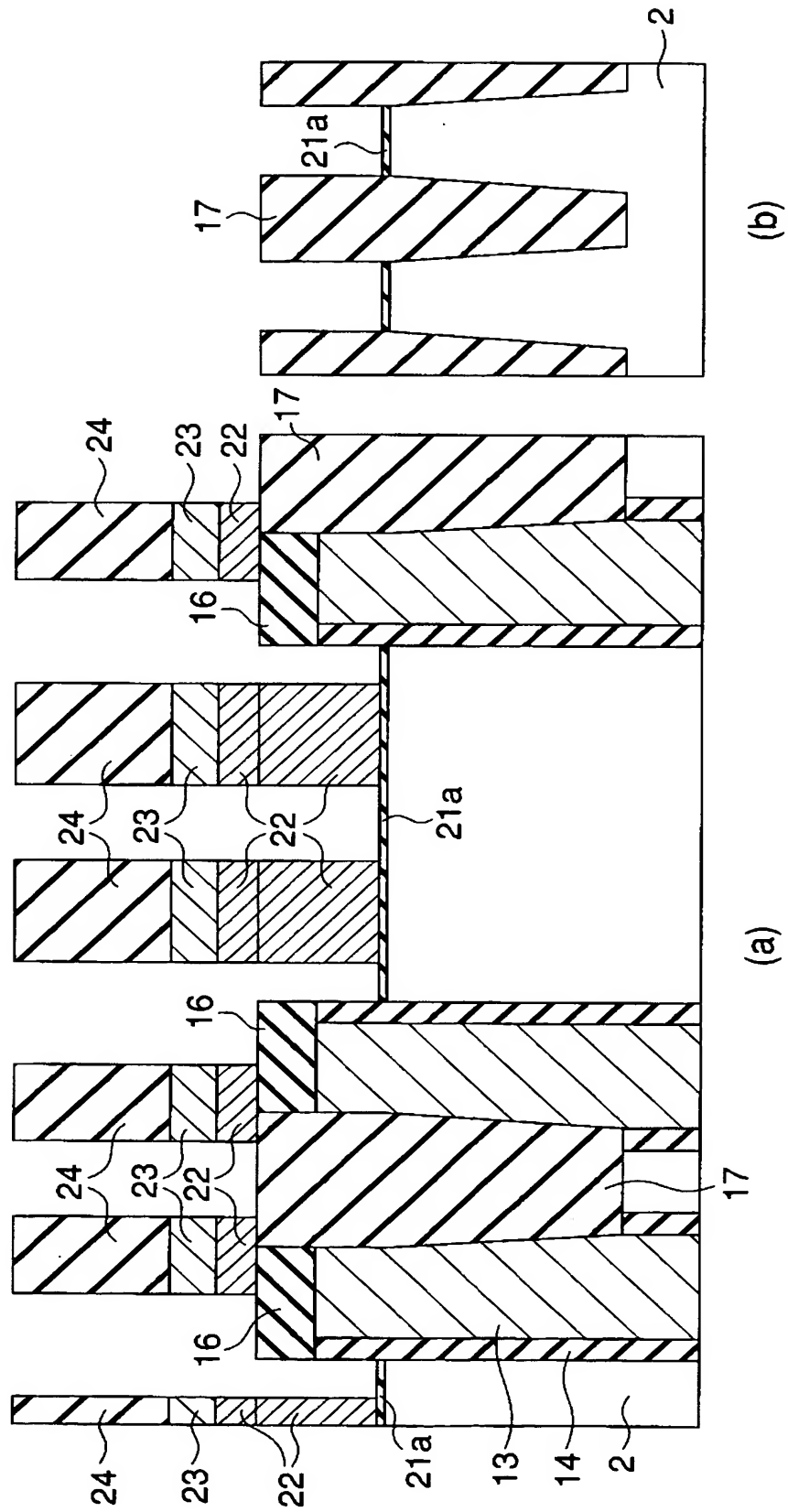
【図 6】



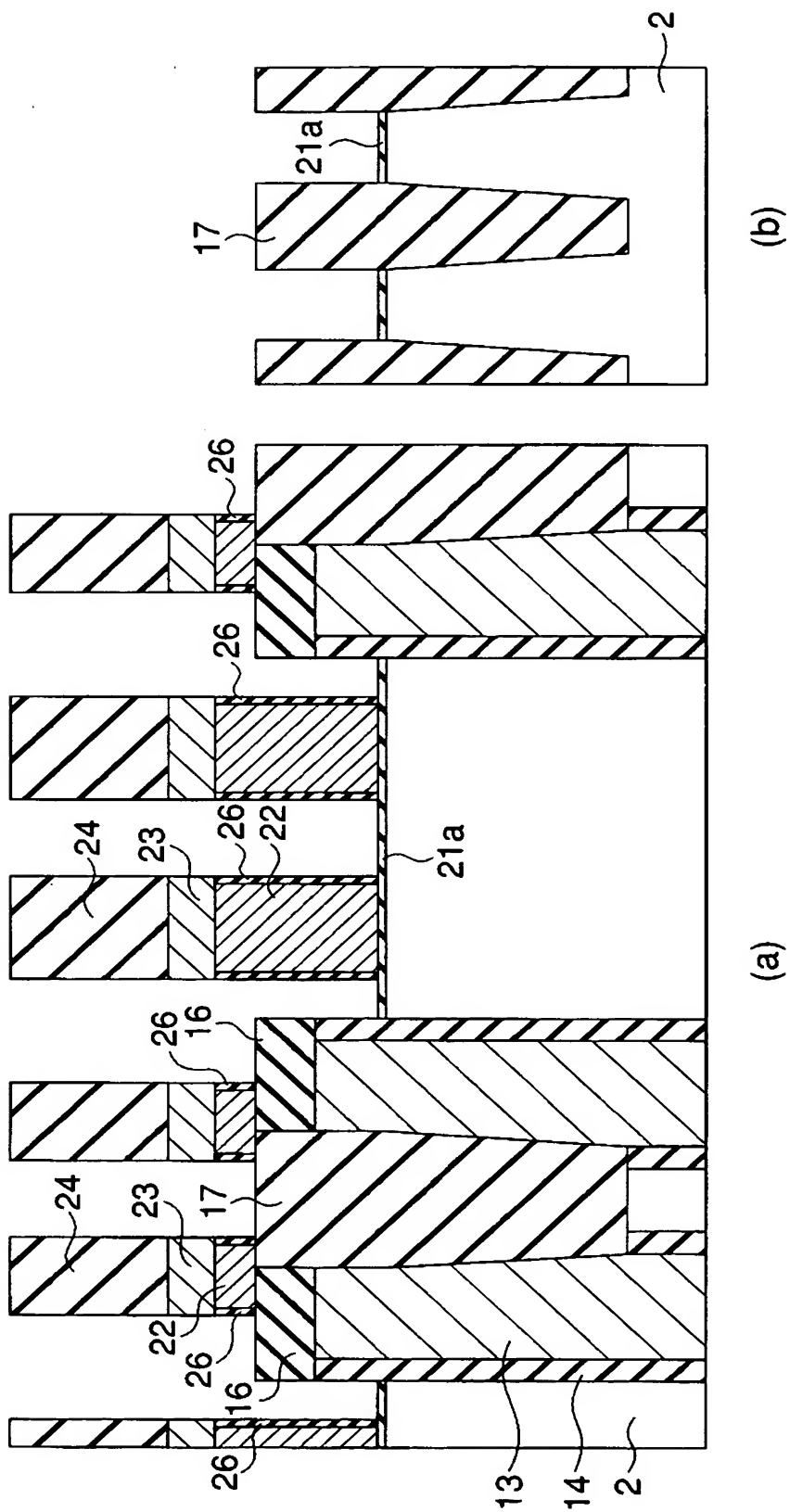
【図 7】



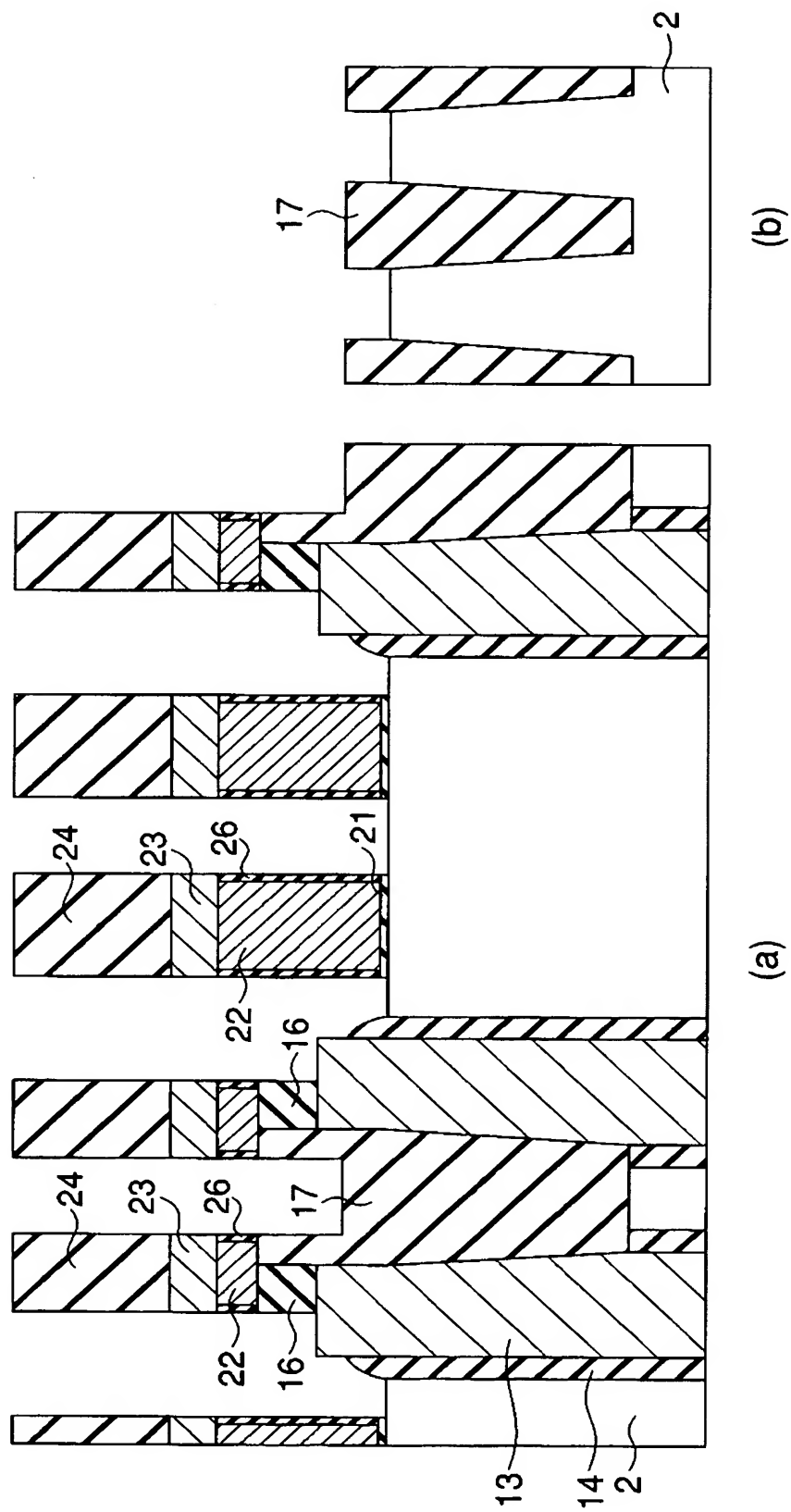
【図 8】



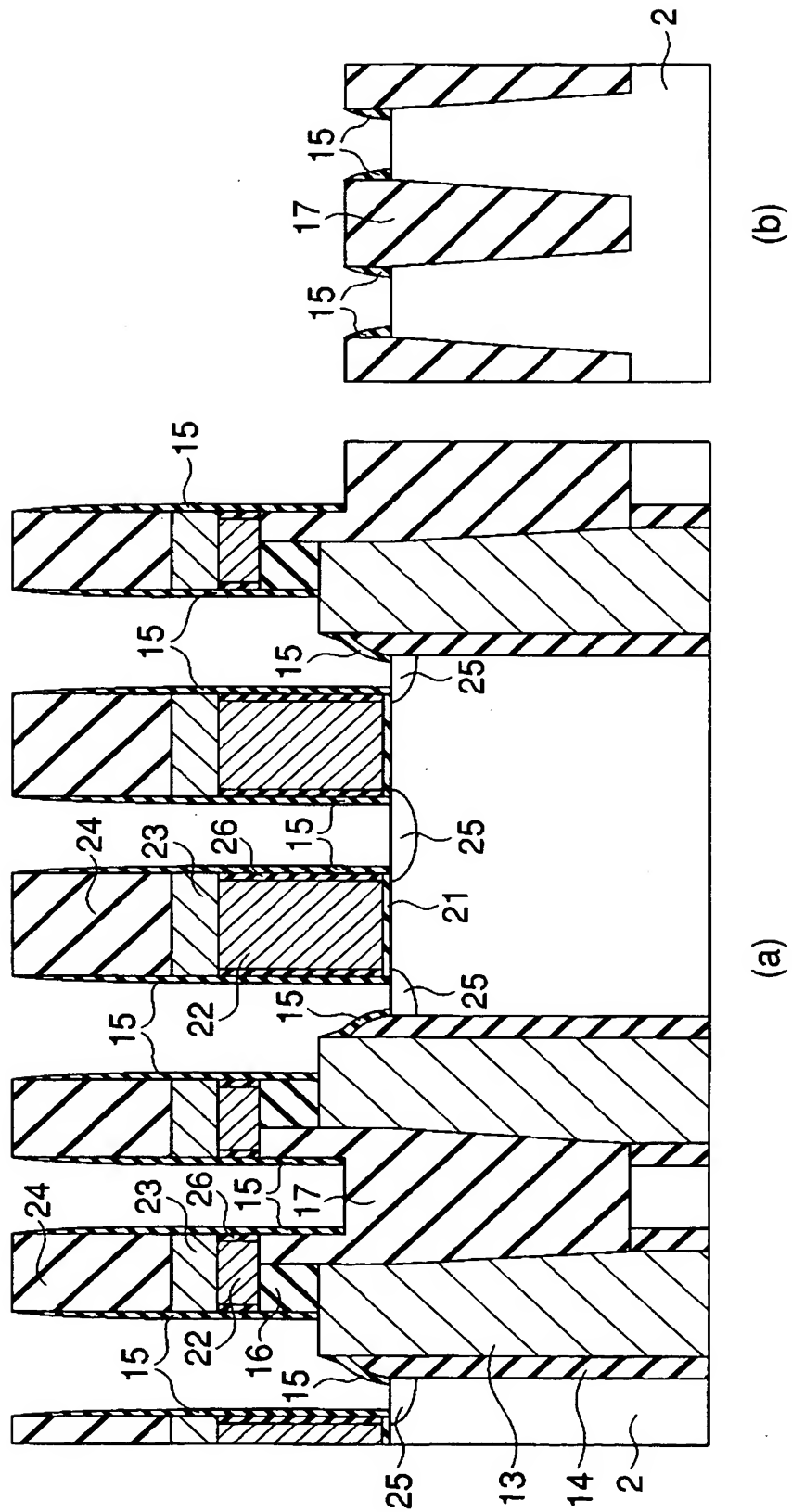
【図 9】



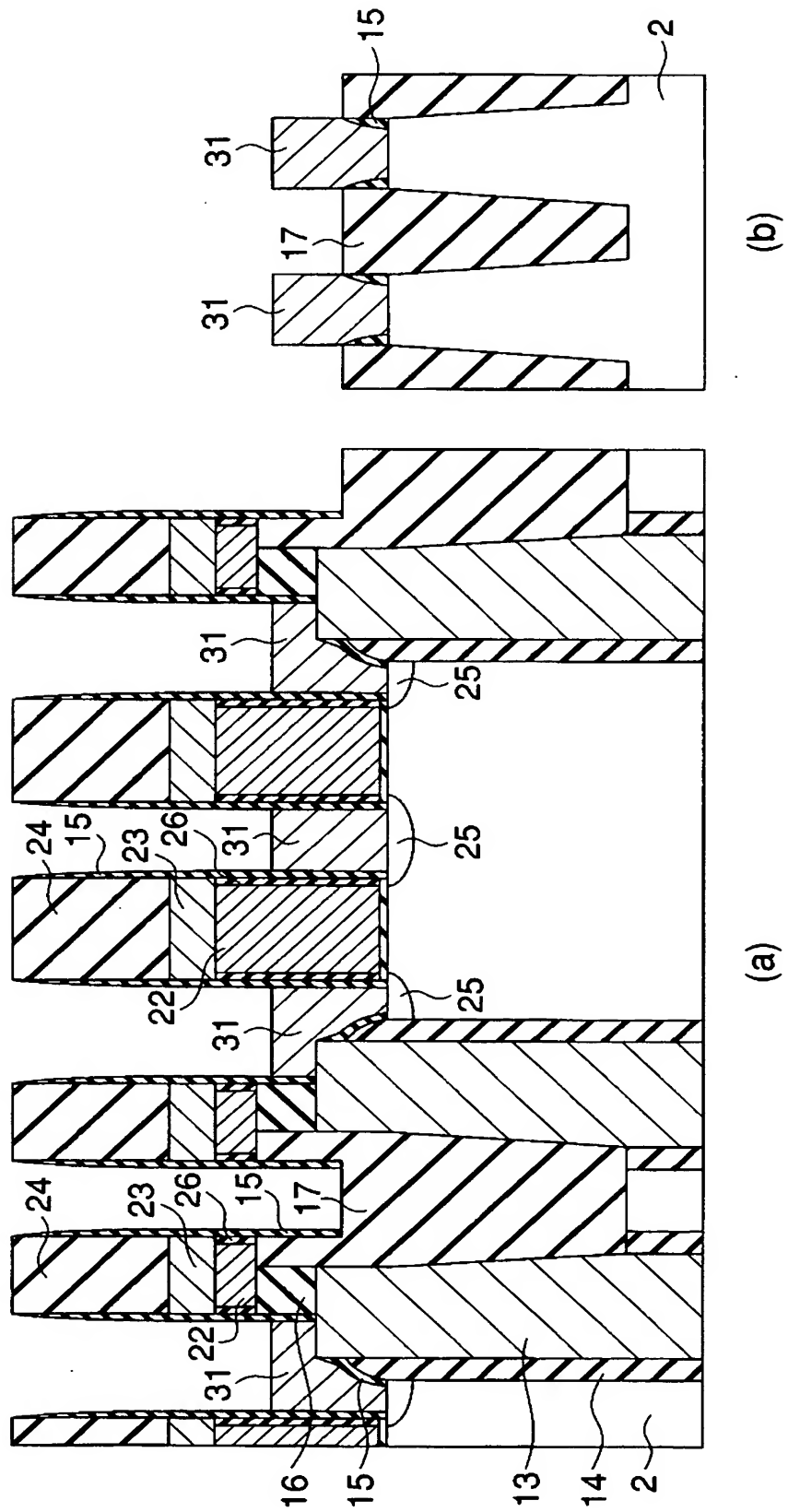
【図 10】



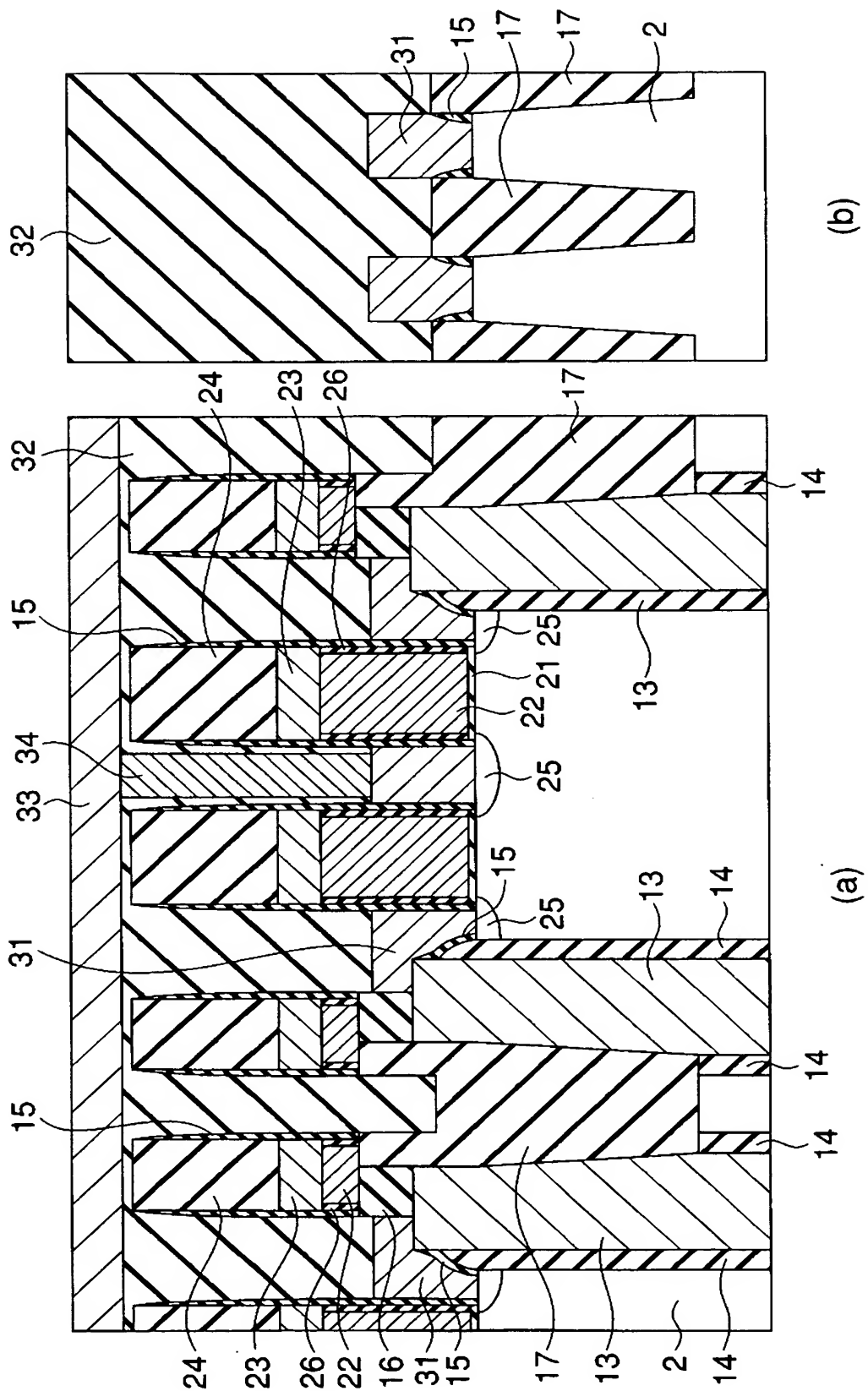
【図 11】



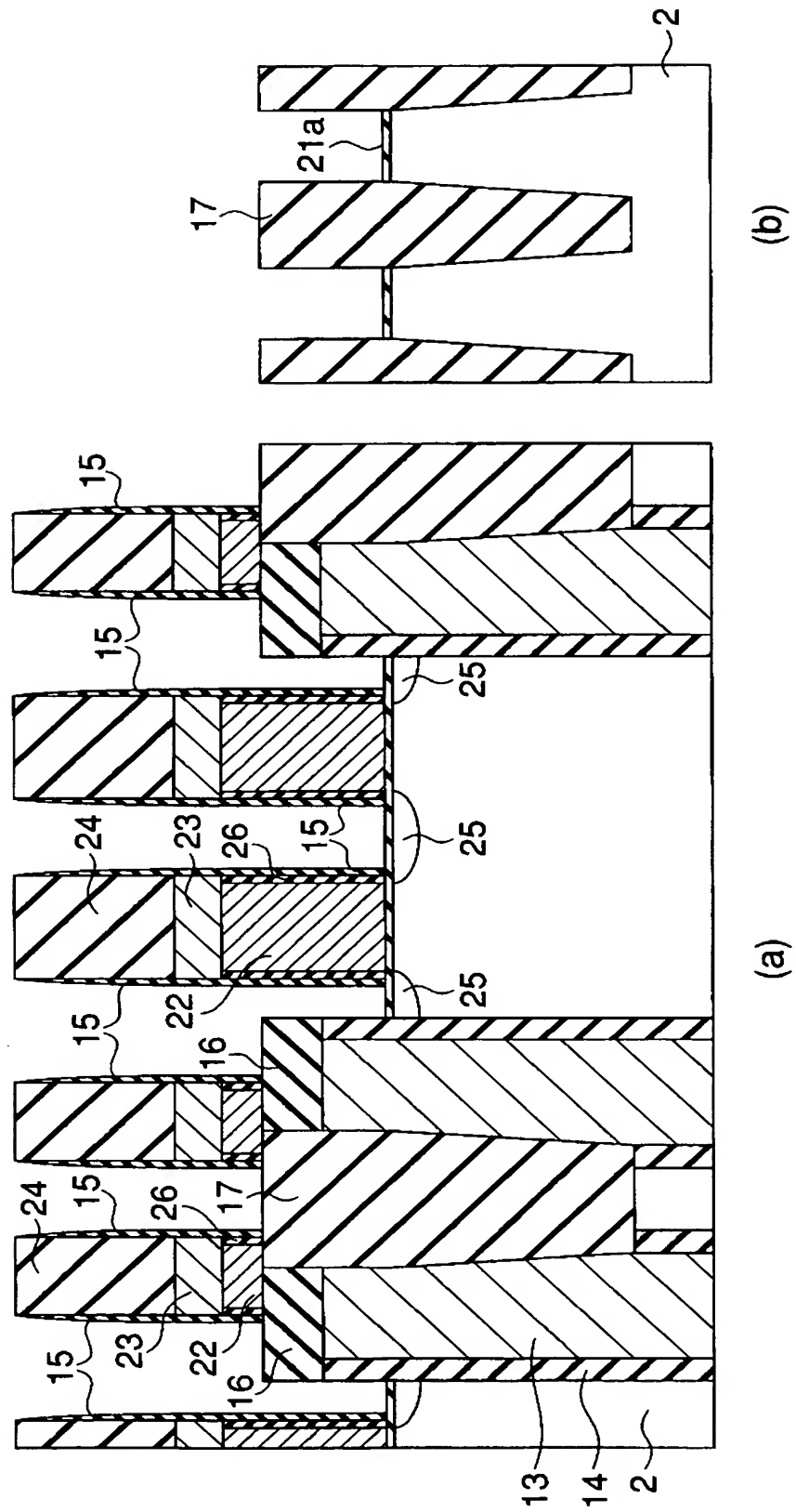
【図 12】



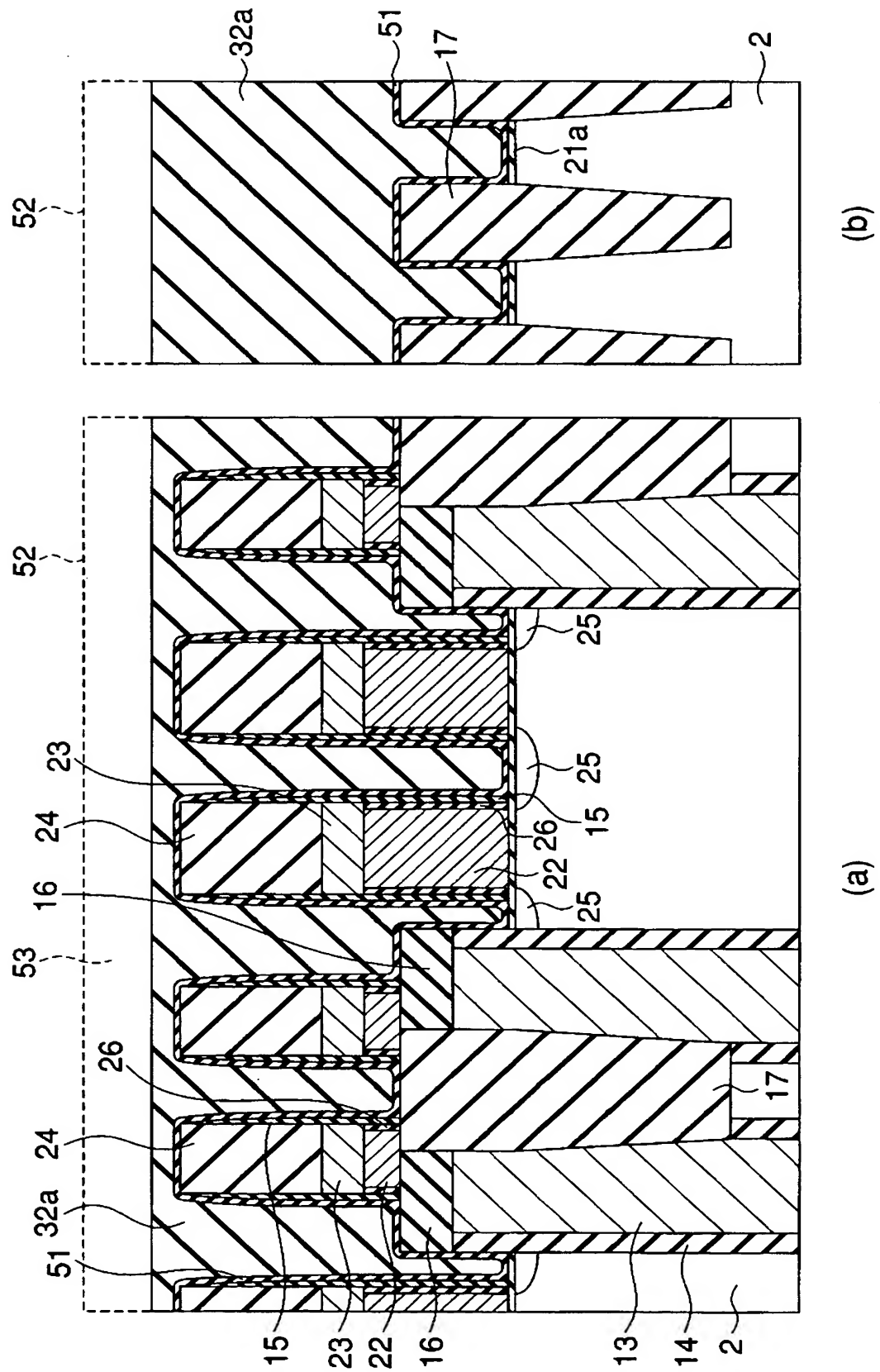
【図 13】



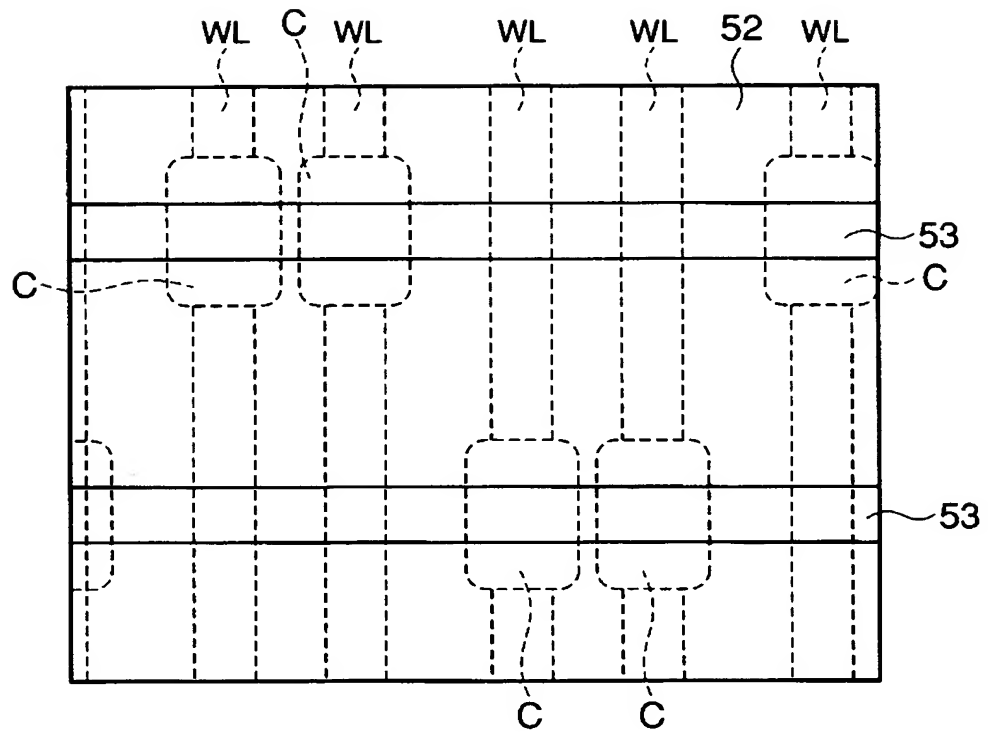
【図 14】



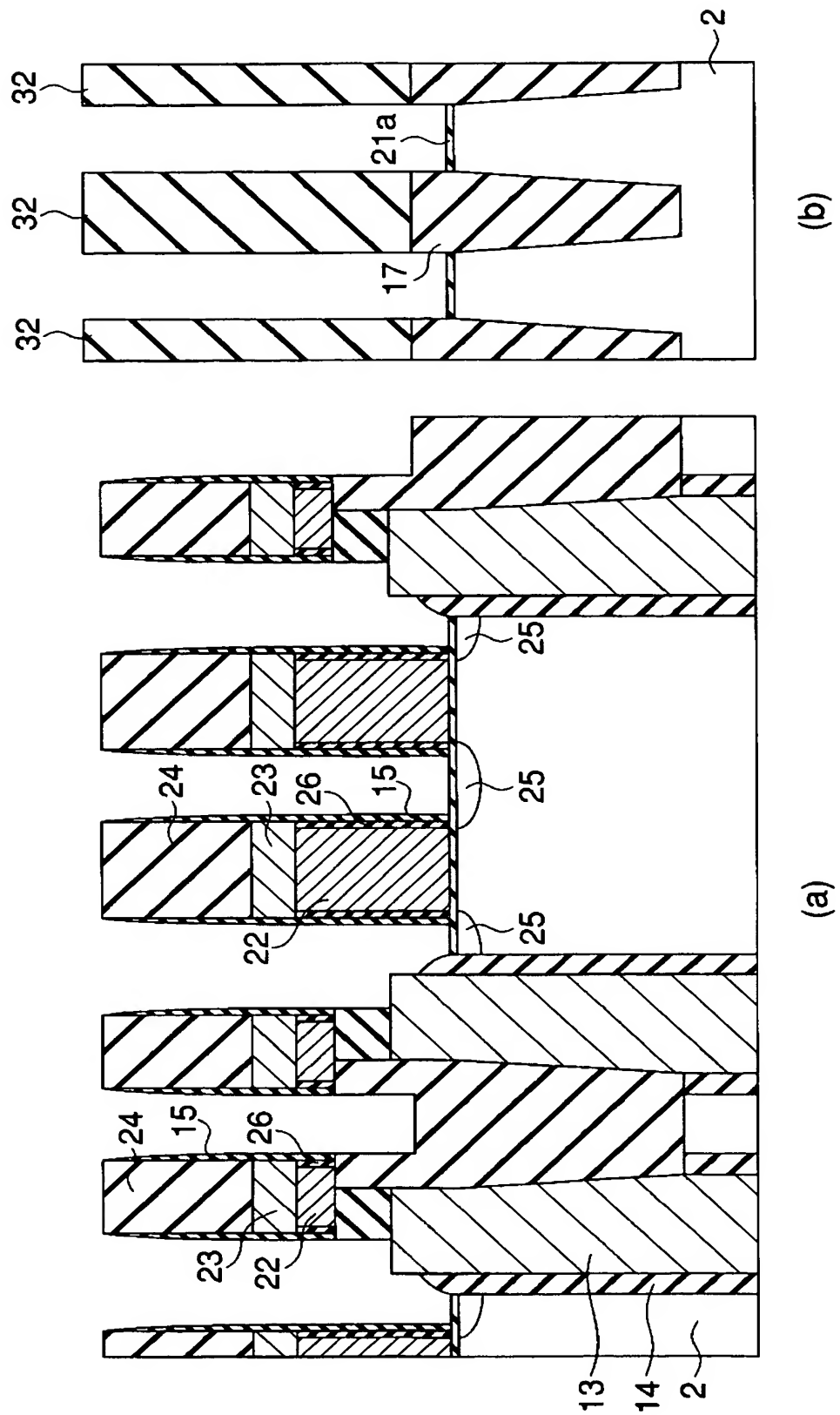
【図 15】



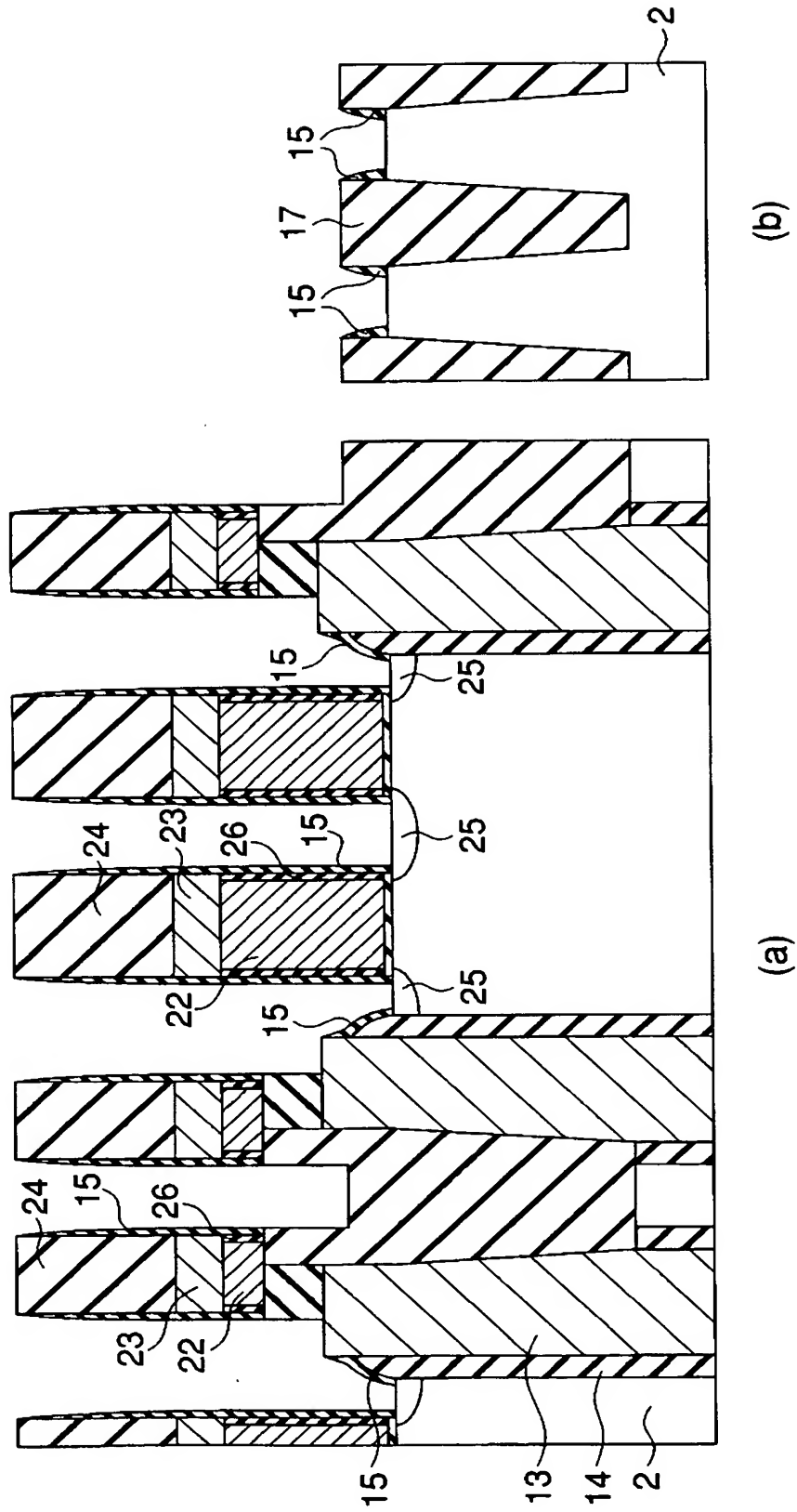
【図 16】



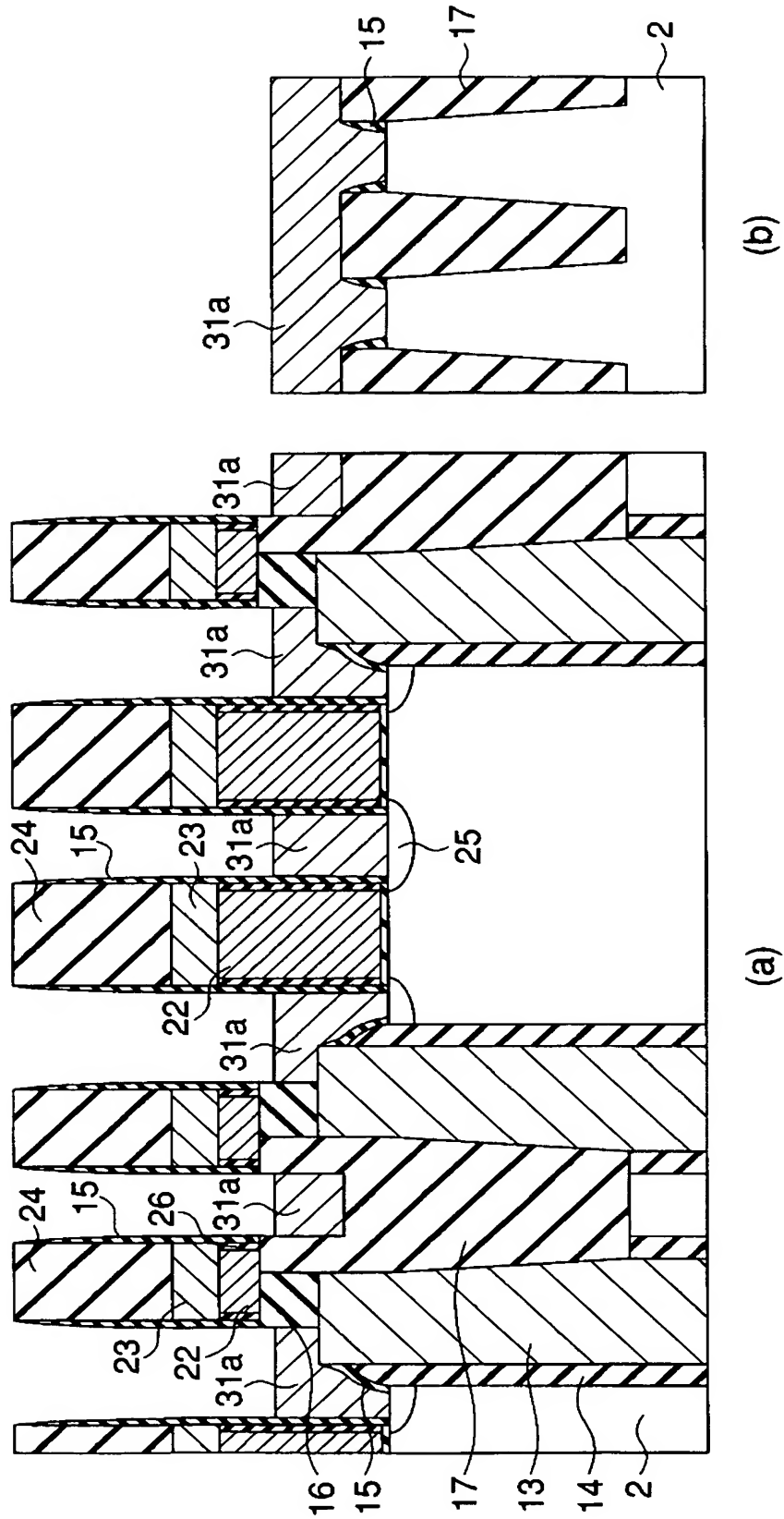
【図 17】



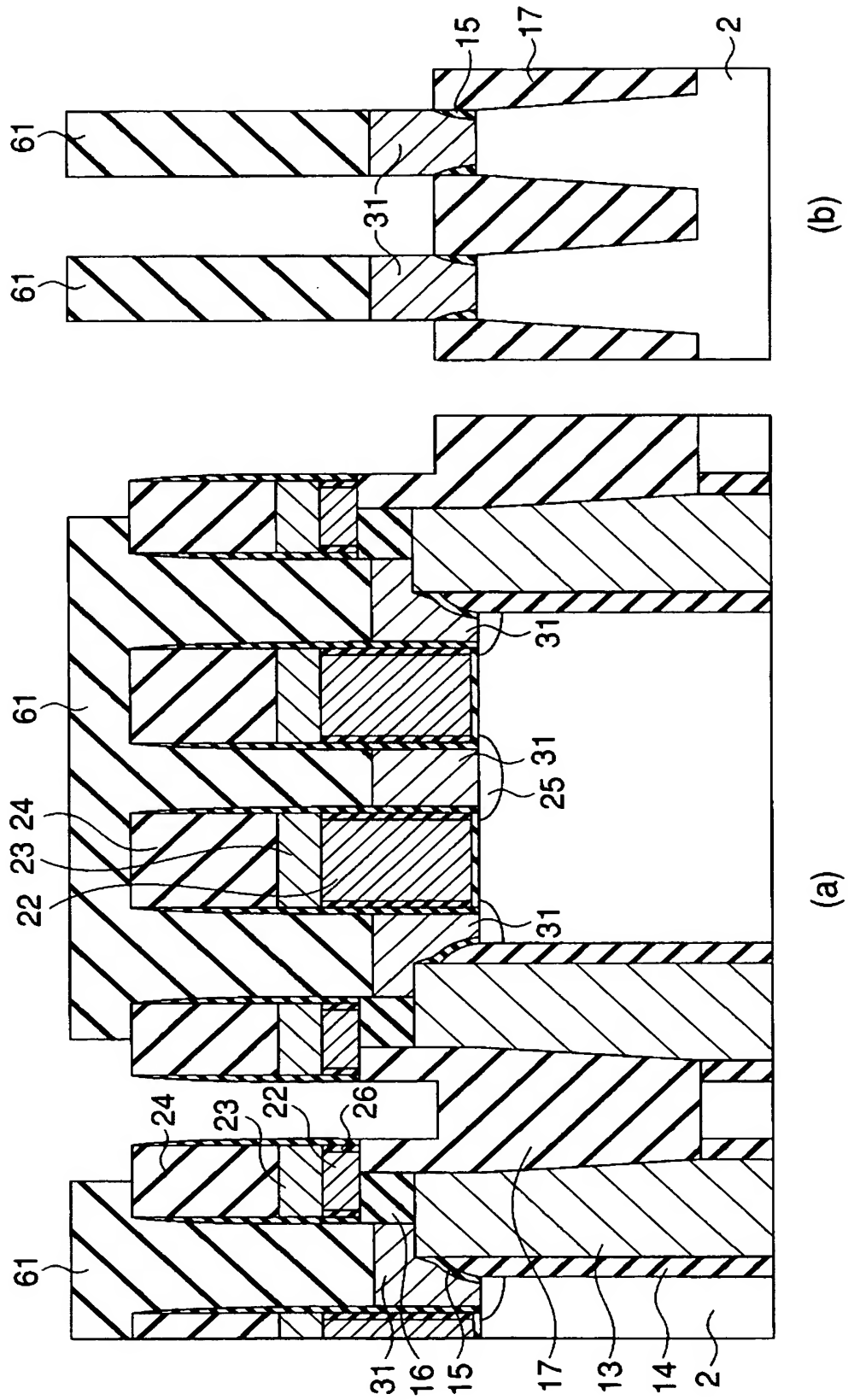
【図 18】



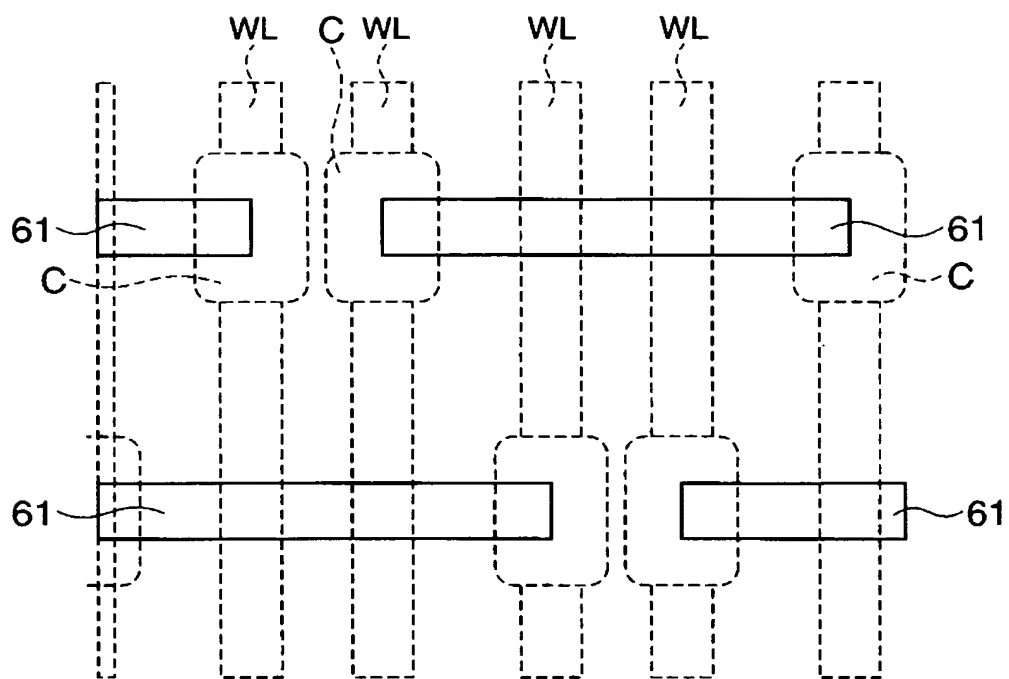
【図 19】



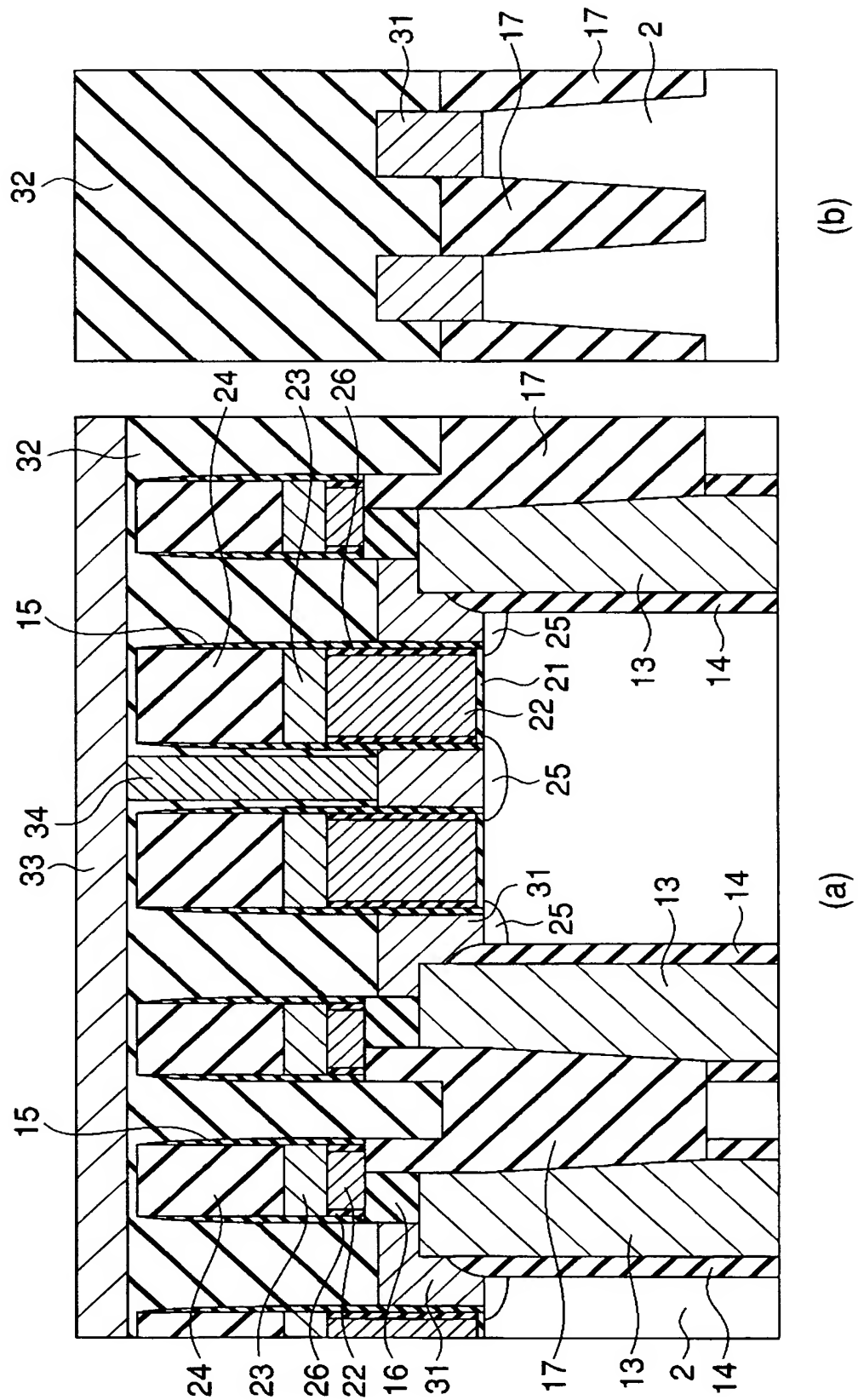
【図 20】



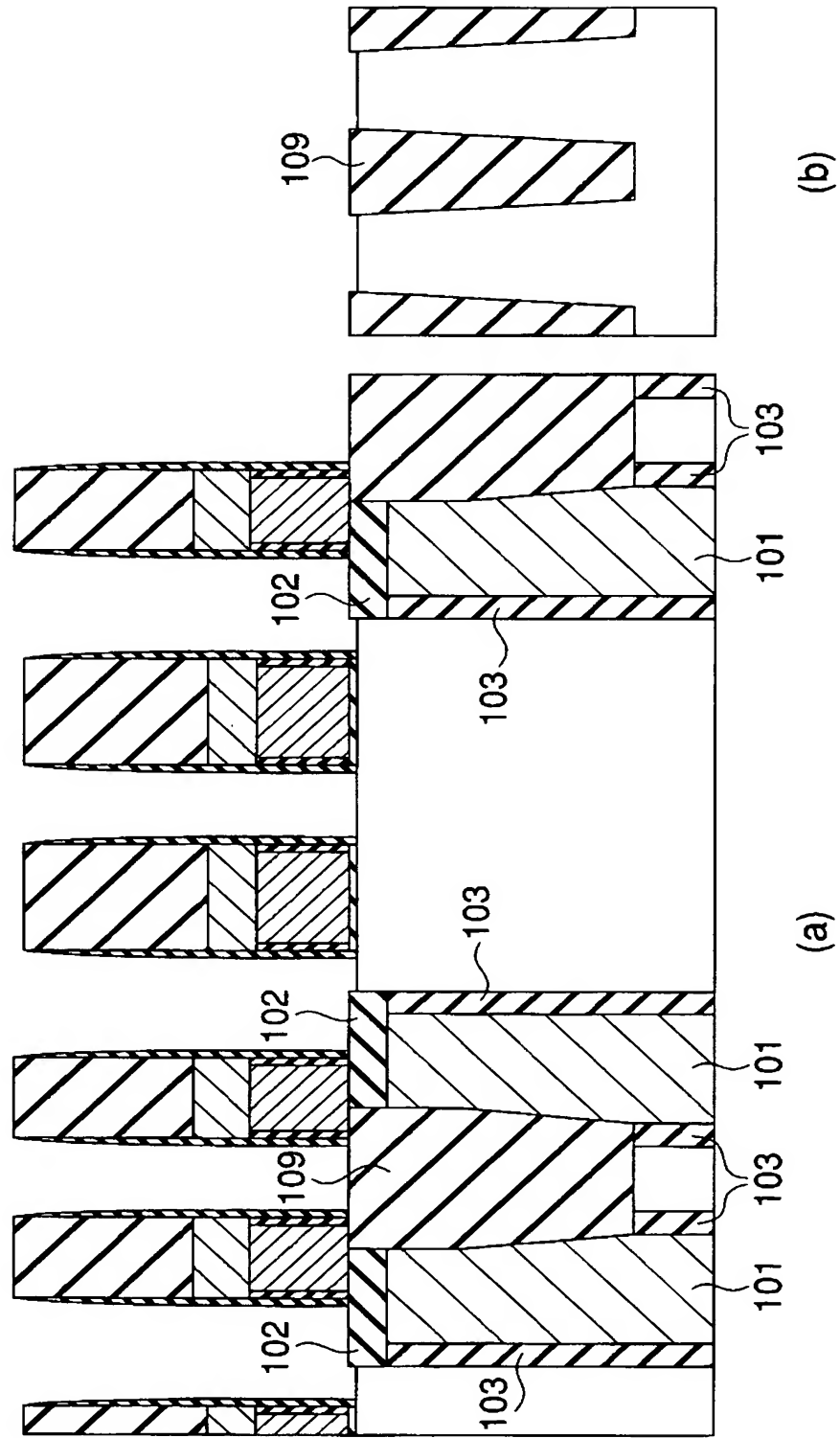
【図 21】



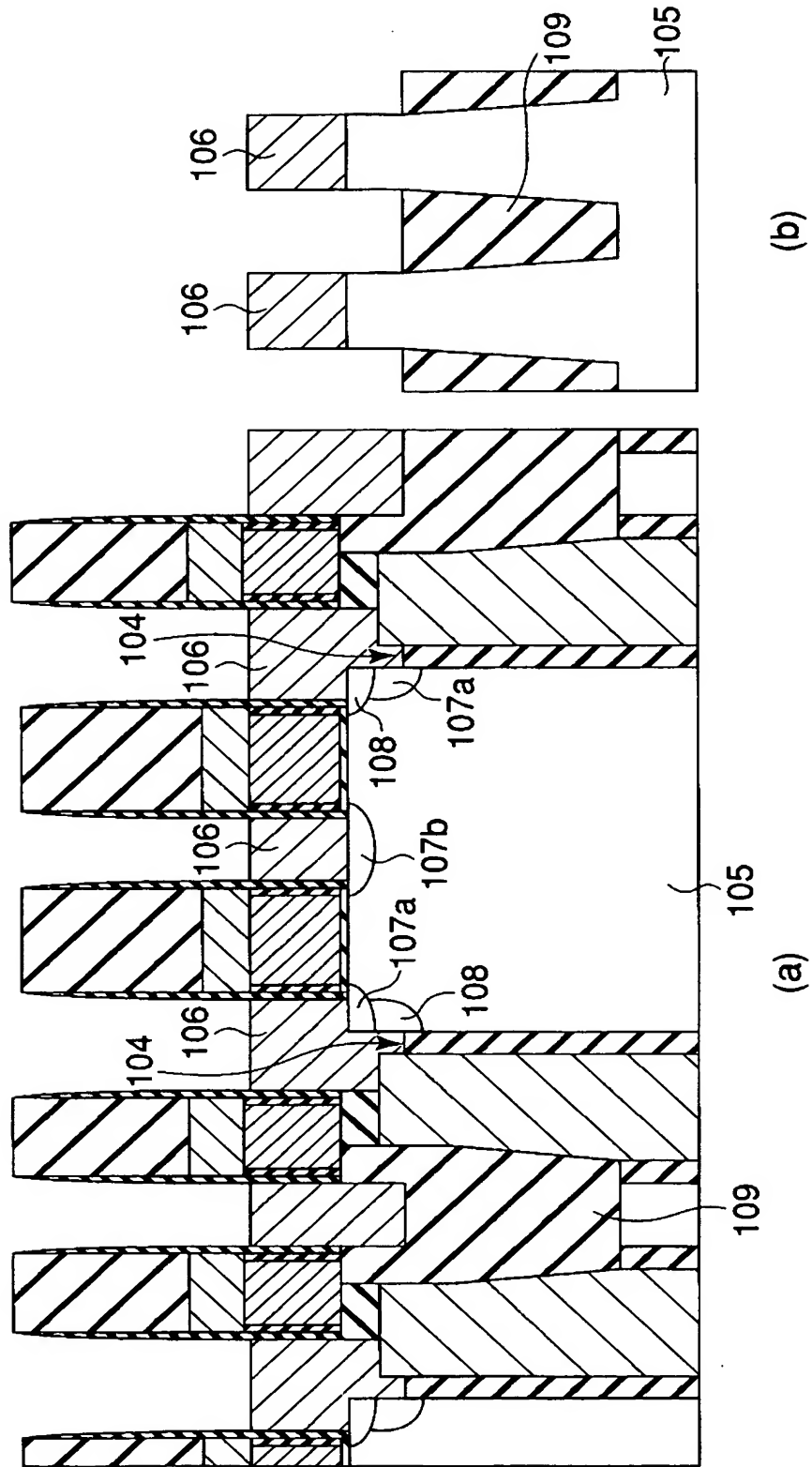
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 パンチスルー特性の劣化を回避可能な半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、半導体基板 1 内に形成されたトレンチの内面上に配設され、且つ上面が半導体基板の表面の高さ以上の高さに位置する第 1 絶縁膜 1 2、1 4 を含む。拡散層 1 1 は、トレンチ深部周囲の半導体基板内に形成される。第 1 導電膜 1 3 は第 1 絶縁膜を介してトレンチ内に埋め込まれる。ゲート電極 2 2 は、半導体基板の表面上のゲート絶縁膜上に配設される。ソース／ドレイン拡散層 2 5 は、ゲート電極下のチャネル領域を挟むように半導体基板の表面に形成される。第 2 導電膜 3 1 は、第 1 導電膜上、第 1 絶縁膜上、およびソース／ドレイン拡散層のいずれか一方の上に延在する。

【選択図】 図 1

特願 2 0 0 4 - 0 0 2 2 3 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝